

MENU

SEARCH

INDEX

DETAIL

JAPANESE

BACK

6 / 6

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 06-076303

(43)Date of publication of application : 18.03.1994

(51)Int.Cl.

G11B 7/007

G11B 7/00

G11B 7/24

(21)Application number : 05-020876

(71)Applicant : SONY CORP

(22)Date of filing : 09.02.1993

(72)Inventor : KOBAYASHI SEIJI
OKAMURA SADANARI
YAMATSU HISAYUKI

(30)Priority

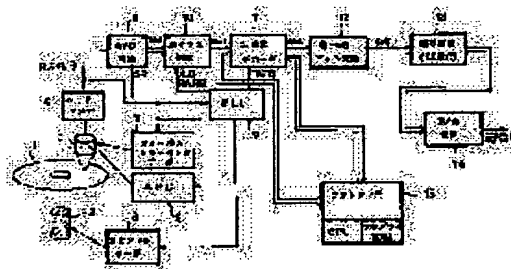
Priority number : 04 59710
04207074Priority date : 14.02.1992
10.07.1992Priority country : JP
JP

(54) RECORDING DEVICE AND REPRODUCING DEVICE FOR INFORMATION RECORDING MEDIUM

(57)Abstract:

PURPOSE: To accurately reproduce data of high recording density by shifting an edge position of information bits from the prescribed reference position in a step state during the prescribed shifting period shorter than a transient period of a reproduced signal.

CONSTITUTION: An edge position of information bits is shifted from the prescribed reference position in a step state within a range corresponding to the prescribed shifting period shorter than a transient period of a reproduced signal in accordance with a transfer characteristic of an optical detecting system 3. A clock synchronizing to the reference position in a phase is generated by a clock generating means 7 based on a reproduced signal obtained from the optical detecting system 3, a reproduced level of the reproduced signal in the transient period is detected by a level detecting means 9 with timing defined by this clock. Further, recorded information corresponding to shifting volume of the edge position of information bits is discriminated by discriminating means 11 and 15 based on this reproduced level.



LEGAL STATUS

[Date of request for examination]

08.12.1999

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted to registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

THIS PAGE BLANK (USPTO)

01-50484

⇒ 5/17

(19) 日本国特許庁 (JP)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平6-76303

(43) 公開日 平成6年(1994)3月18日

(51) Int. Cl.⁵

識別記号

庁内整理番号

F I

技術表示箇所

G 1 1 B

7/007

9195-5 D

7/00

Q

9195-5 D

7/24

5 6 1

7215-5 D

審査請求 未請求 請求項の数 4 1

(全 3 1 頁)

(21) 出願番号 特願平5-20876

(22) 出願日 平成5年(1993)2月9日

(31) 優先権主張番号 特願平4-59710

(32) 優先日 平4(1992)2月14日

(33) 優先権主張国 日本 (J P)

(31) 優先権主張番号 特願平4-207074

(32) 優先日 平4(1992)7月10日

(33) 優先権主張国 日本 (J P)

(71) 出願人 000002185

ソニー株式会社

東京都品川区北品川6丁目7番35号

(72) 発明者 小林 誠司

東京都品川区北品川6丁目7番35号 ソニー株式会社内

(72) 発明者 岡村 完成

東京都品川区北品川6丁目7番35号 ソニー株式会社内

(72) 発明者 山津 久行

東京都品川区北品川6丁目7番35号 ソニー株式会社内

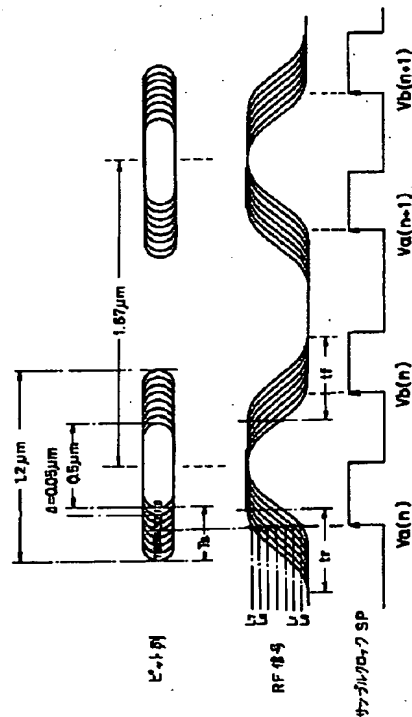
(74) 代理人 弁理士 松隈 秀盛

(54) 【発明の名称】 情報記録媒体、その記録装置および再生装置

(57) 【要約】

【目的】 簡単な構成で、高記録密度のデータを正確に再生することができると共に、ノイズ成分を強調することなしに、非線形の符号間干渉を軽減することができるようにすることを目的とする。

【構成】 ピット列に沿って光ビームで走査して各ビットに応じた再生信号を得る光学検出系によって前記各ビットに記録された情報が再生される情報記録媒体において、前記光学検出系の伝達特性に応じて決まる再生信号の過渡期間よりも小なる所定のジフト期間に相当する範囲内で、情報ビットのエッジ位置を、所定の基準位置から、記録すべきデジタル情報に応じてステップ状にシフトさせたことを特徴とする情報記録媒体。



【特許請求の範囲】

【請求項1】 ピット列に沿って光ビームで走査して各ピットに応じた再生信号を得る光学検出系によって前記各ピットに記録された情報が再生される情報記録媒体において、

前記光学検出系の伝達特性に応じて決まる前記再生信号の過渡期間よりも小なる所定のシフト期間に相当する範囲内で、情報ピットのエッジ位置を、所定の基準位置から、記録すべきデジタル情報に応じてステップ状にシフトさせたことを特徴とする情報記録媒体。

【請求項2】 前記情報ピットの前端および後端のエッジ位置を、所定の基準位置から、記録すべきデジタル情報に応じてステップ状にシフトさせたことを特徴とする請求項1に記載の情報記録媒体。

【請求項3】 前記情報ピットは光ビームの反射面に物理的な凹部または凸部として形成されていることを特徴とする請求項1に記載の情報記録媒体。

【請求項4】 前記情報ピットは光磁気膜の部分的な磁化の反転によって形成されていることを特徴とする請求項1に記載の情報記録媒体。

【請求項5】 前記光学検出系に対して線速度一定で相対移動する場合に、前記情報ピットが一定距離間隔で配列されていることを特徴とする請求項1に記載の情報記録媒体。

【請求項6】 前記光学検出系に対して所定の回転中心を軸に角速度一定で相対移動する場合に、前記情報ピットが中心角に関して一定角度間隔で配列されていることを特徴とする請求項1に記載の情報記録媒体。

【請求項7】 前記所定の基準位置は、前記情報ピットの中心位置に対応して設定されていることを特徴とする請求項1に記載の情報記録媒体。

【請求項8】 前記情報ピットのピット列に挿入され、その挿入位置に対応して予め設定された教育データに応じて、エッジ位置が前記所定の基準位置からステップ状にシフトされた教育ピットを具備することを特徴とする請求項1に記載の情報記録媒体。

【請求項9】 前記教育ピットのピット列方向に隣接する一対のエッジ位置が、前記挿入位置に対応して予め設定された一対の教育データに応じて、前記所定の基準位置からステップ状に各々シフトされていることを特徴とする請求項8に記載の情報記録媒体。

【請求項10】 前記一対の教育データとして、想定し得る全ての組み合わせが、前記挿入位置に対応して予め設定され、これら全ての組み合わせの教育データに対応する教育ピットを、前記情報ピットのピット列の挿入位置に順次挿入配置したことを特徴とする請求項9に記載の情報記録媒体。

【請求項11】 前記教育ピットは、前記情報ピットから少なくとも1個の他のピットを介在させた位置に配置されていることを特徴とする請求項8、9又は10に記

載の情報記録媒体。

【請求項12】 前記教育ピットは、前記情報ピットに隣接する位置に配置されている場合においては、前記情報ピットに対向するエッジと反対側のエッジが、前記教育データに応じてステップ状にシフトしていることを特徴とする請求項8、9又は10に記載の情報記録媒体。

10 【請求項13】 前記情報ピットのピット列に挿入され、エッジ位置のシフト量が最小値に設定された基準ピットを具備することを特徴とする請求項1、8、9又は10に記載の情報記録媒体。

【請求項14】 前記基準ピットのピット列方向に隣接する一対のエッジ位置のシフト量が共に最小値に設定されていることを特徴とする請求項13に記載の情報記録媒体。

【請求項15】 前記情報ピットのピット列に挿入され、エッジ位置のシフト量が最大値に設定された基準ピットを具備することを特徴とする請求項1、8、9又は10に記載の情報記録媒体。

20 【請求項16】 前記基準ピットのピット列方向に隣接する一対のエッジ位置のシフト量が共に最大値に設定されていることを特徴とする請求項15に記載の情報記録媒体。

【請求項17】 前記情報ピットのピット列に挿入され、各々のエッジ位置のシフト量が最小値と最大値に設定された一対の基準ピットを具備することを特徴とする請求項1、8、9又は10に記載の情報記録媒体。

30 【請求項18】 前記2個の基準ピットのエッジ位置の内、ピット列方向に隣接する一対のエッジ位置のシフト量が共に最小値に設定されていると共に、ピット列方向に隣接する他の一対のエッジ位置のシフト量が共に最大値に設定されていることを特徴とする請求項17に記載の情報記録媒体。

【請求項19】 ピット列に沿って光ビームで走査する光学検出系によって記録情報が再生される情報記録媒体に、前記光学検出系の伝達特性に応じて決まる再生信号の過渡期間よりも小なる所定のシフト期間に相当する範囲内で、情報ピットのエッジ位置を、所定の基準位置からステップ状にシフトして、デジタル情報を記録する記録手段を具備することを特徴とする情報記録装置。

40 【請求項20】 前記記録手段は、前記情報ピットのピット列に挿入され、その挿入位置に対応して予め設定された教育データに応じて、エッジ位置が前記所定の基準位置からステップ状にシフトされた教育ピットを前記情報記録媒体に記録することを特徴とする請求項19に記載の情報記録装置。

【請求項21】 前記記録手段は、前記情報ピットのピット列に挿入され、エッジ位置のシフト量が最小値に設定された基準ピットを前記情報記録媒体に記録することを特徴とする請求項19又は20に記載の情報記録装置。

【請求項22】 前記記録手段は、前記情報ビットのビット列に挿入され、エッジ位置のシフト量が最大値に設定された基準ビットを前記情報記録媒体に記録することを特徴とする請求項19又は20に記載の情報記録装置。

【請求項23】 前記記録手段は、前記情報ビットのビット列に挿入され、各々のエッジ位置のシフト量が最小値と最大値に設定された一対の基準ビットを前記情報記録媒体に記録することを特徴とする請求項19又は20に記載の情報記録装置。

【請求項24】 ビット列に沿って光ビームで走査する光学検出系の伝達特性に応じて決まる再生信号の過渡期間よりも小なる所定のシフト期間に相当する範囲内で、情報ビットのエッジ位置を、所定の基準位置からステップ状にシフトして、デジタル情報を記録した情報記録媒体から記録情報を再生する情報再生装置において、前記光学検出系から得られる再生信号に基づいて、前記基準位置に対して位相的に同期したクロックを生成するクロック生成手段と、

前記クロックで規定されるタイミングで、前記再生信号の過渡期間における再生レベルを検出するレベル検出手段と、

前記再生レベルに基づいて前記情報ビットのエッジ位置のシフト量に対応する記録情報を判定する判定手段とを具備することを特徴とする情報再生装置。

【請求項25】 前記クロック生成手段は、前記シフト期間の中央に相当するタイミングでクロックを生成することを特徴とする請求項24に記載の情報再生装置。

【請求項26】 前記クロック生成手段は、前記情報記録媒体のサーボ領域に記録された前記所定の基準位置を示す基準ビットから前記光学検出系を介して得られる再生信号に基づいて、前記基準位置に対して位相的に同期したクロックを生成することを特徴とする請求項24に記載の情報再生装置。

【請求項27】 前記レベル検出手段は、前記クロックで規定されるサンプルタイミングで前記再生信号をアナログ／デジタル変換することによって、前記再生レベルを検出するA/D変換回路によって構成されていることを特徴とする請求項24に記載の情報再生装置。

【請求項28】 前記A/D変換回路は、前記情報ビットのエッジ位置のシフト量で示されるビット数よりも多いビット数のデジタルデータに変換することを特徴とする請求項27に記載の情報再生装置。

【請求項29】 前記判定手段は、前記情報ビットのビット列に対する挿入位置に応じて予め設定された教育データがビット列方向に隣接するエッジ位置の各々のシフト量として設定された教育ビットから、前記レベル検出手段によって順次検出される再生レベルによって規定される基準点と、前記情報ビットから順次検出される再生レベルによって規定される情報点とに基づいて、前記情

報ビットのビット列方向に隣接するエッジ位置の各々のシフト量に対応した記録情報を判定することを特徴とする請求項24に記載の情報再生装置。

【請求項30】 前記判定手段は、前記挿入位置に応じて予め設定された一対の教育データが、前記一対のエッジ位置の各々のシフト量として設定された教育ビットから、前記レベル検出手段によって検出された一対の再生レベルによって規定される基準点を学習し、この基準点と、前記情報ビットから検出される一対の再生レベルによって規定される情報点とに基づいて、前記情報ビットのビット列方向に隣接する一対のエッジ位置の各々のシフト量に対応した一対の記録情報を判定することを特徴とする請求項24に記載の情報再生装置。

【請求項31】 前記一対の教育データが設定された教育ビットから検出された一対の再生レベルの内、一方の再生レベルを上位アドレスとし、他方の再生レベルを下位アドレスとすることによって規定されるアドレスを基準点とし、この基準点に前記一対の教育データが復号データとして格納される記憶手段を具備し、前記判定手段は、前記情報ビットから検出される一対の再生レベルの内、一方の再生レベルを上位アドレスとし、他方の再生レベルを下位アドレスとすることによって規定されるアドレスを情報点とし、この情報点に対応する前記記憶手段のアドレスに格納されている一対の復号データを、記録情報として判定することを特徴とする請求項24に記載の情報再生装置。

【請求項32】 前記判定手段は、前記記憶手段の各基準点に格納されている復号データの内、前記情報点に最も近い基準点に格納されている復号データを、記録情報と見做して判定することを特徴とする請求項31に記載の情報再生装置。

【請求項33】 前記教育データが設定された教育ビットから検出された再生レベルによって規定される前記記憶手段のアドレスを基準点とし、この基準点に前記教育データを復号データとして格納するマッピング処理を行うマッピング手段を具備することを特徴とする請求項31又は32に記載の情報再生装置。

【請求項34】 前記マッピング手段は、前記記憶手段の各記憶点の内、前記基準点以外の各記憶点に、前記各記憶点に最も近い基準点に格納されている復号データを各々格納することを特徴とする請求項33に記載の情報再生装置。

【請求項35】 前記記憶手段は、随時書き込み／読み出し可能な半導体メモリによって構成されていることを特徴とする請求項31、32、33又は34に記載の情報再生装置。

【請求項36】 前記レベル検出手段によって検出された再生レベルから、エッジ位置のシフト量が最小値に設定された基準ビットから検出された再生レベルを減算するバイアス除去手段を具備することを特徴とする請求項

10

20

30

40

50

24、25、26、27、28、29、30、31、32、33、34又は35に記載の情報再生装置。

【請求項37】 前記バイアス除去手段は、エッジ位置のシフト量が最小値に設定された複数の基準ピットから検出された複数の再生レベルの内、最大値と最小値を除く各値の平均値を、前記レベル検出手段によって検出された再生レベルから減算するディフェクト除去機能を有することを特徴とする請求項36に記載の情報再生装置。

【請求項38】 エッジ位置のシフト量が最大値に設定された基準ピットから検出された再生レベルが所定の目標値となるように、前記レベル検出手段によって検出された再生レベルのゲインを調整するゲイン調整手段を具備することを特徴とする請求項24、25、26、27、28、29、30、31、32、33、34又は35に記載の情報再生装置。

【請求項39】 前記ゲイン調整手段は、エッジ位置のシフト量が最大値に設定された複数の基準ピットから検出された複数の再生レベルの内、最大値と最小値を除く各値の平均値が所定の目標値となるように、前記レベル検出手段によって検出された再生レベルのゲインを調整するディフェクト除去機能を有することを特徴とする請求項38に記載の情報再生装置。

【請求項40】 前記レベル検出手段によって検出された再生レベルから、エッジ位置のシフト量が最小値に設定された基準ピットから検出された再生レベルを減算するバイアス除去手段と、エッジ位置のシフト量が最大値に設定された基準ピットから検出された再生レベルが所定の目標値となるように、前記バイアス除去手段から出力された再生レベルのゲインを調整するゲイン調整手段とを具備することを特徴とする請求項24、25、26、27、28、29、30、31、32、33、34又は35に記載の情報再生装置。

【請求項41】 前記バイアス除去手段は、エッジ位置のシフト量が最小値に設定された複数の基準ピットから検出された複数の再生レベルの内、最大値と最小値を除く各値の平均値を、前記レベル検出手段によって検出された再生レベルから減算するディフェクト除去機能を有すると共に、前記ゲイン調整手段は、エッジ位置のシフト量が最大値に設定された複数の基準ピットから検出された複数のレベルの内、最大値と最小値を除く各値の平均値が所定の目標値となるように、前記レベル検出手段によって検出された再生レベルのゲインを調整するディフェクト除去機能を有することを特徴とする請求項40に記載の情報再生装置。

【発明の詳細な説明】

【0001】

【産業上の利用分野】 本発明は、例えば光ディスク等の情報記録媒体、この情報記録媒体に情報を記録し、または再生する場合に用いて好適な情報記録媒体その記録装

置および再生装置に関する。

【0002】

【従来の技術】 従来のCAV（角速度一定）モードで用いられる光ディスクにおいては、各トラックの所定の位置に周期的にサーボバイト区間を設け、このサーボバイト区間に基準クロック生成用のクロックピットと、トラック用ウォブルドピットを形成するようにしている。そしてクロックピットに対応して基準クロック（チャンネルクロック）を生成し、この基準クロックの周期の整数倍の長さのピットにより、情報をデジタル的に記録するようにしている。また、例えば、CD（コンパクトディスク）のようなCLV（線速度一定）モードで用いられるシステムにおいては、クロックピットは存在しないが、記録されたピットの長さ及びピット間隔が、基準クロック（チャンネルクロック）の周期（ $0.3\mu\text{m}$ ）の整数倍の長さ（CDの場合、約 $0.9\mu\text{m}\sim 3.3\mu\text{m}$ の9種類の長さ）になるように選ばれており、このことを使ってクロック再生を行い、記録された情報をピット単位に切り出している。

【0003】 ところで、同じ光ディスクであるビデオディスクでは、CDよりもはるかに細かいピットの長さの差でビデオ信号を記録して、再生している。いま、このことを、CAVモードで半径55mmの所に記録される信号を例に挙げて説明する。ビデオディスクでは、ビデオ信号中の最も明るい部分を9.3MHz、最も暗い部分を7.6MHzの信号として記録しており、これは半径55mmのディスク上で、それぞれ $1.075\mu\text{m}$ と $1.316\mu\text{m}$ に相当する。このように記録されたディスクを再生すると、大変美しい映像が再生されるのは周知の事実である。この映像で、128段階の明るさの変化が表現できていると考えると、これは、ディスク上で、ピットの周期が128段階以上に細かく記録され、これが再生されていることを意味する。つまり、

$$(1.316\mu\text{m} - 1.075\mu\text{m}) \div 128 = 0.002\mu\text{m}$$

の細かいピット長及びピット間隔の変化が、ビデオ信号に反映されているのである。ピットの長さの変化としては、このように細かい変化が記録できるのにも関わらず、CDにおいて、ピット長の変化の最小単位を $0.3\mu\text{m}$ と、大きくしなければならないのは、おもにその記録再生方法が最適でないことによる。

【0004】 本出願人は、特願平3-167585号として、情報ピットの前方または後方エッジの位置を、記録情報に対応して所定の基準位置からステップ状にシフトして、デジタル情報を記録することを先に提案した。この記録再生方法によれば、ピット長及びピットエッジの位置の変化を非常に高い精度で検出可能であるので、これまで不可能であると思われていた微小な変化で情報を記録することが可能となり、この結果、これまで以上の高密度化を実現することができる。

【0005】 図33は、本出願人が先に提案したエッジ

の位置をステップ状にシフトすることにより、情報を記録する原理を示している。同図に示すように、記録データに対応してPWM変調した記録信号(図33(B))を生成する。そして、その0クロス時における長さに対応するビット(図33(A))を形成する。このようにすると、ビットのエッジの位置が基準クロック(図33(C))で示す位置からステップ状に変化する。この変化量に応じて、1つのエッジについて0から7までの8段階(3ビット)のデータを記録することができる。

【0006】図34は、このようにして記録した信号を再生する原理を示している。情報記録媒体より再生したRF信号(図34(A))を大きく増幅して、2値化RF信号(図34(B))を得る。情報を記録したディスクにはクロックビットが形成されているため、これを基準として基準クロック(図34(C))を生成し、この*

$$h(t) = \delta(t) - \kappa \{ \delta(t + \Delta) + \delta(t - \Delta) \}$$

となるから、その周波数応答は次のようになる。

$$H(f) = 1 - \kappa \cos(2\pi\Delta f)$$

【0009】 Δ および κ を適当に選ぶことにより、高周波領域の信号成分を強調して、符号間干渉の影響を軽減することができる。

【0010】しかしながら、行なわれる演算は線形であるため、非線形の符号間干渉には完全には適応することができない。また、符号間干渉除去の度合いを強めるために、結合係数 κ の値を大きくすると、高周波領域のノイズ成分が強調され、逆効果となってしまうようなことがあった。

【0011】また、先の提案においては、エッジの位置を検出するのに鋸歯状波を発生させ、その鋸歯状波からエッジの発生タイミングを検出するようにしているため、エッジの発生タイミングを読み取るための構成が複雑となり、その正確な検出が困難になる問題があった。さらに、さきの提案においては、光ディスクに特有の振幅変動や、バイアス成分の変動などの影響が全く考慮されていなかった。このため、これらの変動によって、正しいデータが読み取れなくなるという欠点があった。

【0012】本発明はこのような状況に鑑みてなされたものであり、簡単な構成で、高記録密度のデータを正確に再生することができると共に、ノイズ成分を強調することなしに、非線形の符号間干渉を軽減することができるようにするものである。

【0013】

【課題を解決するための手段】本発明による情報記録媒体は、例えば図1および図2に示す如くビット列に沿って光ビームで走査して各ビットに応じた再生信号を得る光学検出系の伝達特性に応じて決まる再生信号の過渡期間よりも小なる所定のシフト期間に相当する範囲内で、情報ビットのエッジ位置を、所定の基準位置から、記録すべきデジタル情報に応じてステップ状にシフトさせたことを特徴とする。

*基準クロックに同期して、さらに鋸歯状波信号(図34(D))を生成する。そして、この鋸歯状波信号と2値化RF信号とがクロスするタイミングを検出することにより、情報ビットのエッジの位置を検出するようにしている。

【0007】

【発明が解決しようとする課題】しかしながら、先の提案においては、隣接するエッジ間の符号間干渉が起こり、さらに記録密度を上げようすると、正確な再生が困難となる問題があった。

【0008】この符号間干渉の影響を軽減するために、イコライザを用いることが考えられる。例えば、3タップのイコライザにより再生RF信号を一定距離 Δ だけ離間して、3回サンプリングし、この3つの値に線形演算を施す。この場合のインパルス応答は、

$$h(t) = \delta(t) - \kappa \{ \delta(t + \Delta) + \delta(t - \Delta) \}$$

【0014】さらに、情報ビットのビット列に挿入され、その挿入位置に対応して予め設定された教育データに応じて、エッジ位置が所定の基準位置からステップ状にシフトされた教育ビットを付加する。

【0015】さらに、情報ビットのビット列に挿入され、エッジ位置のシフト量が最小値に設定された基準ビットを付加する。

【0016】さらに、情報ビットのビット列に挿入され、エッジ位置のシフト量が最大値に設定された基準ビットを付加する。

【0017】本発明による情報記録装置は、例えば図3に示す如くビット列に沿って光ビームで走査する光学検出系によって記録情報が再生される情報記録媒体に、前記光学検出系の伝達特性に応じて決まる再生信号の過渡期間よりも小なる所定のシフト期間に相当する範囲内で、情報ビットのエッジ位置を、所定の基準位置からステップ状にシフトして、デジタル情報を記録する記録手段を具備することを特徴とする。

【0018】本発明による情報再生装置は例えば図5に示す如く、ビット列に沿って光ビームで走査する光学検出系の伝達特性に応じて決まる再生信号の過渡期間よりも小なる所定のシフト期間に相当する範囲内で、情報ビットのエッジ位置を、所定の基準位置からステップ状にシフトして、デジタル情報を記録した情報記録媒体から記録情報を再生する情報再生装置において、光学検出系から得られる再生信号に基づいて、前記基準位置に対して位相的に同期したクロックを生成するクロック生成手段と、クロックで規定されるタイミングで、再生信号の過渡期間における再生レベルを検出するレベル検出手段と、再生レベルに基づいて前記情報ビットのエッジ位置のシフト量に対応する記録情報を判定する判定手段とを具備することを特徴とする。

【0019】さらに、クロック生成手段は、シフト期間の中央に相当するタイミングでクロックを生成する。

【0020】さらに、クロック生成手段は、情報記録媒体のサーボ領域に記録された所定の基準位置を示す基準ビットから光学検出系を介して得られる再生信号に基づいて、基準位置に対して位相的に同期したクロックを生成する。

【0021】さらに、レベル検出手段は、前記クロックで規定されるサンプルタイミングで再生信号をアナログ／デジタル変換することによって、再生レベルを検出するA/D変換回路によって構成されている。

【0022】さらに、判定手段は、情報ビットのビット列に対する挿入位置に応じて予め設定された教育データがビット列方向に隣接するエッジ位置の各々のシフト量として設定された教育ビットから、レベル検出手段によって順次検出される再生レベルによって規定される基準点と、情報ビットから順次検出される再生レベルによって規定される情報点とに基づいて、情報ビットのビット列方向に隣接するエッジ位置の各々のシフト量に対応した記録情報を判定する。

【0023】さらに、判定手段は、挿入位置に応じて予め設定された一対の教育データが、一対のエッジ位置の各々のシフト量として設定された教育ビットから、レベル検出手段によって検出された一対の再生レベルによって規定される基準点と、情報ビットから検出される一対の再生レベルによって規定される情報点とに基づいて、情報ビットのビット列方向に隣接する一対のエッジ位置の各々のシフト量に対応した一対の記録情報を判定する。

【0024】さらに、一対の教育データが設定された教育ビットから検出された一対の再生レベルの内、一方の再生レベルを上位アドレスとし、他方の再生レベルを下位アドレスとすることによって規定されるアドレスを基準点とし、この基準点に前記一対の教育データが復号データとして格納される記憶手段を設け、前記判定手段は、情報ビットから検出される一対の再生レベルの内、一方の再生レベルを上位アドレスとし、他方の再生レベルを下位アドレスとすることによって規定されるアドレスを情報点とし、この情報点に対応する記憶手段のアドレスに格納されている一対の復号データを、記録情報として判定する。

【0025】さらに、判定手段は、前記記憶手段の各基準点に格納されている復号データの内、前記情報点に最も近い基準点に格納されている復号データを、記録情報と見做して判定する。

【0026】さらに、教育データが設定された教育ビットから検出された再生レベルによって規定される記憶手段のアドレスを基準点とし、この基準点に前記教育データを復号データとして格納するマッピング処理を行うマッピング手段を設ける。

【0027】さらに、マッピング手段は、記憶手段の各記憶点の内、基準点以外の各記憶点に、各記憶点に最も

近い基準点に格納されている復号データを各々格納する。

【0028】さらに、レベル検出手段によって検出された再生レベルから、エッジ位置のシフト量が最小値に設定された基準ビットから検出された再生レベルを減算するバイアス除去手段を設ける。

【0029】さらに、バイアス除去手段は、エッジ位置のシフト量が最小値に設定された複数の基準ビットから検出された複数の再生レベルの内、最大値と最小値を除く各値の平均値を、再生レベルから減算するディフェクト除去機能を有する。

【0030】さらに、エッジ位置のシフト量が最大値に設定された基準ビットから検出された再生レベルが所定の目標値となるように、レベル検出手段によって検出された再生レベルのゲインを調整するゲイン調整手段を設ける。

【0031】さらに、ゲイン調整手段は、エッジ位置のシフト量が最大値に設定された複数の基準ビットから検出された複数の再生レベルの内、最大値と最小値を除く各値の平均値が所定の目標値となるように、再生レベルのゲインを調整するディフェクト除去機能を有する。

【0032】

【作用】本発明による情報記録媒体においては、光学検出系の伝達特性に応じて決まる再生信号の過渡期間よりも小なる所定のシフト期間に相当する範囲内で、情報ビットのエッジ位置が、所定の基準位置から、記録すべきデジタル情報に応じてステップ状にシフトしている。

【0033】したがって、本発明による情報再生装置によって、再生信号の過渡期間における1サンプルタイミングで、その再生レベルを検出することで、情報ビットのエッジ位置のシフト量に対応する記録情報を確実に判定することができ、従って、簡単な構成で、高記録密度の情報を正確に再生することが可能となる。

【0034】また、情報ビットのビット列に対する挿入位置に応じて予め設定された教育データがビット列方向に隣接するエッジ位置の各々のシフト量として設定された教育ビットから、順次検出される再生レベルによって規定される基準点と、情報ビットから順次検出される再生レベルによって規定される情報点とに基づいて、情報ビットのビット列方向に隣接するエッジ位置の各々のシフト量に対応した記録情報を判定することにより、ノイズ成分を強調することなく、非線形の符号間干渉を低減し、正確な復号が可能となる。

【0035】

【実施例】以下、図面を参照して、本発明の実施例について説明する。図1は、本発明の情報記録媒体を適用した光ディスクの基本的フォーマットの一例を示している。

【0036】この実施例では、直径120mmの反射型（光ビームの反射面にビットが物理的な凹部または凸部によって形成されている）光ディスク1にCLVモード、ト

ラックピッチ $1.6\text{ }\mu\text{m}$ で、ビット列が記録されている。全ての情報は、一定周期 $1.67\text{ }\mu\text{m}$ 毎に配置されたビットの前端(立ち上り)と、後端(立ち下り)のエッジ位置の8段階のシフト量として記録されている。このシフト量の1単位である単位シフト量 Δ は、 $0.05\text{ }\mu\text{m}$ に設定されている。

【0037】このように配列された各ビットのエッジ位置の8段階のシフト量で、各々3ビットの情報を記録することができるので、ビット列方向の線記録情報密度としては、 $0.28\text{ }\mu\text{m}/\text{bit}$ と、現在のCDシステムの2倍以上となっている。

【0038】なお、CDシステムにおいては、線速度を上限の 1.2m/s とした場合においても、EFM(Eight to Fourteen Modulation)変調により、記録すべき8ビットのデータ・ビットが14ビットのインフォメーション・ビットと3ビットのマージン・ビットの計17ビットのチャンネル・ビットに変換されて、ディスク上のビットに記録されるため、このEFM変調を勘案すると、線記録情報密度は、約 $0.6\text{ }\mu\text{m}/\text{bit}$ である。すなわち、約 $0.9\text{ }\mu\text{m}$ の最短ビットが、3ビット分のチャンネル・ビットに相当するから、

$$(0.9 \div 3) \times (17 \div 8) = \text{約} 0.6\text{ }\mu\text{m}/\text{bit}$$

となる。

【0039】ここで、図2に示すように、光ディスク1に記録されたビットのエッジ位置は、そのビットの中心の基準位置から、記録すべきデジタル情報に応じてステップ状にシフトしているが、そのシフト期間 $T_s (= \Delta \times 7)$ は、光学検出系の伝達特性に応じて決まるRF信号(再生信号)の過渡期間(0レベル又は飽和レベルとなる定常状態以外の期間)である立ち上り期間 t_r または立ち下り期間 t_f よりも小なる期間に相当する範囲内に設定されている。

【0040】上記RF信号は、後述する再生装置のピックアップ3から出力されるものであり、このピックアップ3の伝達特性によって過渡期間が決まる。一般に、光学系の伝達特性は、その伝達関数(OTF; Optical Transfer Function)の絶対値であるMTF(Modulation Transfer Function)によって規定され、このMTFはレンズの開口率NAとレーザの波長 λ に依存して決まる。

【0041】上記シフト期間 T_s 内で、単位シフト量 Δ を $0.05\text{ }\mu\text{m}$ よりもさらに小なる単位量でシフトさせれば、さらに記録密度を高めることができる。

【0042】このように記録されたビットの中心の基準位置に位相的に同期したサンプルクロックSPにより、RF信号をA/D変換することによって、ビットのエッジ位置のシフト量0~7に対応する再生レベル $L_0 \sim L_7$ を得ることができる。このように、RF信号の過渡期間における1サンプルタイミングで、その再生レベル $L_0 \sim L_7$ を検出することができる条件が、シフト期間 T

$s \leq$ 過渡期間(立ち上り期間 t_r または立ち下り期間 t_f)ということになる。

【0043】ここで、サンプルクロックSPによるサンプリングタイミングとしては、シフト期間 T_s の中央に対応するタイミングが望ましく、このタイミングとすることにより、RF信号の過渡期間の全範囲に渡って再生レベルを検出することが可能となる。また、この実施例においては、光ビームの反射面に物理的な凹部または凸部としてビットが形成された、いわゆる反射型の光ディスク1を例に挙げて説明するが、光磁気膜の部分的な磁化の反転によってビットを形成する、いわゆるMO(Magneto Optical)ディスク等にも適用することが可能である。

【0044】光ディスク1上に記録される情報は、3ビット単位に切り出され、記録データ a_n と b_n として、 n 番目のビットに記録される。図3はこの様子を示したもので、ビットの前端エッジが記録データ a_n に応じて0乃至7の8個のシフト位置のいずれかに設定される。同様に、後端エッジの位置も記録データ b_n に応じて0乃至7の8個のシフト位置のいずれかに設定される。各シフト位置のピッチ Δ は、先に述べたように $0.05\text{ }\mu\text{m}$ である。この結果、各ビットは記録データ a_n, b_n がいずれもシフト位置0のエッジに形成されたとき、最も短い長さ $LP = 0.5\text{ }\mu\text{m}$ となる。

【0045】再び、図1に戻り、データが記録された44個のデータビットからなるデータ領域の間に、サーボ用の5個のビットからなるサーボ領域が挿入されている。このサーボ領域に記録された5個のビットのうち、2個は教育ビットP1、P2とされ、残りの3個は基準ビットP3乃至P5とされている。教育ビットP2の図中左側の前端エッジは、その位置が0から7の8段階のシフト位置の何れかの位置Mに設定されており、また図中右側の後端エッジも、0から7までの8段階のシフト位置の何れかの位置Nに設定されている。

【0046】教育ビットP2の前端エッジの位置Mと後端エッジの位置Nは、各サーボ領域において、それぞれ異なる組合せとなるように、規則的に組み合わせが設定されている。すなわち、MとNが最初のサーボ領域においては、(0, 0)とされ、次のサーボ領域においては、(0, 1)とされる。以下同様に、(0, 2),

(0, 3), ..., (7, 6), (7, 7)と規則的に組み合わせが設定されている。これにより、64(=8×8)個のサーボ領域において、教育ビットP2の前端エッジと後端エッジの全てのあり得る位置の組合せが用意されていることになる。

【0047】尚、教育ビットP1は、この場合ダミーとなる。即ち、教育データをビットP2の両端のエッジではなく、ビットP1の両端のエッジに形成することも理論的には可能である。しかしながらそのようにすると、ビットP1の左隣に隣接するビットがデータ領域のデー

タビットであるため、そのエッジの位置がデータに対応して変化する。その結果、教育ビットP1の、特にデータ領域側のエッジに対する干渉の度合いがデータに値によって変化する。従って、いつも一定の状態で教育データを後述するようにパターン化することが困難になる。そこで実施例のように、ビットP1の両端のエッジではなく、教育ビットP2の両端のエッジに教育データを形成するようにすることが好ましい。このようにすると、教育ビットP2の後端エッジに隣接する基準ビットP3と、前端エッジに隣接する教育ビットP1が共にそのエッジが(0, 0)のまま一定である(変化しない)ため、教育ビットP2の教育データを読み取ったとき、常に一定の符号間干渉を受け、一定のパターンを得ることができる。

【0048】基準ビットP3乃至P5は、(0, 0)と(7, 7)の基準位置のデータを得るためのビットである。この基準位置データも理論的には、例えばビットP5の両端のエッジに形成することも可能である。しかしながらそのようにすると、教育ビットについて説明した場合と同様に、隣接するデータ領域からの干渉の割合が記録データによって変化することになるため、実施例のように基準ビットP5の図中右側の後端エッジには基準位置データを形成しないようにするのが好ましい。

【0049】図4は、光ディスク1の平面的な構造を簡単に説明するものである。トラックピッチ1.6 μm で記録された信号は、CLVモードで記録されているので、隣り合うトラック間ではビット位置の位相は合わず、この図に示されたように、ばらばらの位相でディスク上に記録されている。

【0050】図5は、本発明の情報再生装置を応用した光ディスク再生装置の一実施例の構成を示すブロック図である。光ディスク1は、スピンドルモータ2により回転されるようになされている。この光ディスク1には、図1および図2に示した原理に基づいて情報が記録されている。即ち、情報ビットの前端と後端エッジの少なくとも一方の位置を所定の基準位置からステップ状にシフトすることにより、デジタル情報が記録されている。そして、この光ディスク1には、一定の周期でサーボ領域が形成されており、教育ビットP1、P2と基準ビットP3乃至P5が形成されている。データ領域にはデータビットが形成されているのはもとよりである。

【0051】ピックアップ3は、光ディスク1に対してレーザビームを照射し、その反射光から光ディスク1に記録されている信号を再生する。ピックアップ3が出力するRF信号は、ヘッドアンプ4により増幅され、フォーカストラッキングサーボ回路5、APC回路6およびPLL回路7に供給されるようになされている。フォーカストラッキングサーボ回路5は、入力された信号からフォーカスエラー信号およびトラッキングエラー信号を生成し、その誤差信号に対応して、フォーカス制御およ

びトラッキング制御を実行する。また、APC回路6は、光ディスク1に対して照射されるレーザ光のパワーが一定になるようにサーボをかける。

【0052】PLL回路7は、入力信号からクロック成分を抽出するものである。通常のCDシステムなどで使用されるPLL回路は、全てのRF信号を使ってクロック再生を行なうが、本実施例の場合は、サーボ領域の部分のRF信号のみを使ってクロック再生を行う。すなわち、サーボ領域の部分は記録データで変調されていないので、記録データの影響を一切受けずに、安定なクロック再生を行うことが可能となる。

【0053】図6はこのような機能を実現するPLL回路7の構成を示すブロック図である。この図において、先ずサーボエリアパターン判定回路171が、RF信号からサーボ領域と思われるパターンを検出すると、サーボ領域検出パルスが発生する。ここで、サーボ領域と同じパターンは、データ領域中に現われる可能性もあり、このパルスは必ずしも正しいとは限らないが、とりあえずこれが正しいものと仮定して、ロック検出回路172がこの信号をカウンタ173にリセットパルスとして供給し、カウンタ173をリセットする。もしもこれが正しいサーボ領域であれば、その後も必ず同じタイミングで検出パルスが出力されるはずである。ロック検出回路172はこのことを検出して、PLL回路7がロック状態にあるかどうかを判定する。もしも正しい検出パルスでなかった場合には、一定時間経過してもロック検出の出力がでないので、ロック状態になるまで上述の動作を繰り返す。

【0054】サーボ領域が正しく検出された後は、カウンタ173が正しいタイミングでリセットされているので、このカウンタ173のカウント値をデコードすることで、サーボ領域が次に現われるタイミングをおおよそ予想することができる。この原理を使って、カウンタ173のカウント値から、サーボ領域内の存在する特定のビットが出現するタイミングを生成し、これをゲート信号として、アンドゲート176へ供給する。

【0055】サーボ領域の両側に記録されたデータからの影響を除去するために、可能な限りサーボ領域の中央部にあるビットが選ばれるようにゲート信号のタイミングは調整される。

【0056】RF信号を微分回路174で微分してゼロクロス検出回路でゼロクロス点を検出した信号のうち、このアンドゲート176を通過したものが位相比較パルスとなり、サンプルホールド回路177へ供給される。

【0057】サンプルホールド回路177は、カウンタ173の出力に基づいて鋸波発生回路178で発生された鋸波を、特定のビットが出現したタイミングで瞬間的にサンプルホールドすることにより、カウンタ173をカウントアップしているクロックと、光ディスク1上のサーボ領域に存在する特定のビットの時間差(位相誤

10

20

30

40

50

差)を検出する。この位相誤差信号は、フィルタ179を通過した後、VCO(電圧制御発振器)のドライブ電圧としてフィードバックされ、光ディスク1上のサーボ領域に存在する特定ビットと、クロックが常に正しい位相関係を保つPLLのループを構成する。

【0058】上述したカウンタ173の出力をデコーダ181でデコードすることにより、図13に示す所定の位相関係のサンプルクロックSP、クロックA、クロックB、クロックRA、クロックRB、クロックTA、クロックTBが生成される。これらのクロックは、図5に示すように、A/D変換回路9と、バイアス除去回路10と、二次元デコーダ11へ供給される。

【0059】図5におけるスピンドルサーボ回路8は、図6におけるVCO180のドライブ電圧が常に一定値になるようにスピンドルモータ2を制御し、光ディスク1が一定の角速度で回転するように制御する。

【0060】一方、ヘッドアンプ4が出力するRF信号は、A/D変換回路9に入力され、サンプルクロックSPの立ち上りのタイミングで、8ビットの256段階のレベルを示すデジタルデータ(再生レベル)にA/D変換される。この8ビットのデータがバイアス除去回路10に供給され、このバイアス除去回路10によりバイアス成分が除去された後、二次元デコーダ11とコントローラ15に供給される。コントローラ15は、各種演算を行うCPUと、このCPUで実行されるプログラムが格納されたプログラムROM等によって構成されており、後述するマッピング処理等を実行する。

【0061】二次元デコーダ11は、バイアス除去回路10より供給された信号をデコードし、その出力を6-8ビット変換回路12に供給する。6-8ビット変換回路12は、入力された6ビットのデータを4組蓄積した後、8ビットの3組のデータに変換し、誤り訂正回路13に出力する。誤り訂正回路13は、入力されたデータの誤りを訂正した後、D/A変換回路14に出力する。D/A変換回路14は、入力されたデータをアナログ信号に変換して、図示せぬアナログオーディオアンプに出力する。

【0062】二次元デコーダ11は、例えば、図7に示すように構成される。即ち、バイアス除去回路10より供給された8ビットの再生レベルデータは、遅延回路21と22により順次遅延される。そして初段の遅延回路21より出力されたデータと、後段の遅延回路22により遅延されたデータとが、RAM23にアドレスデータとして出力される。そしてRAM23は、遅延回路21と22より供給されたアドレスデータに対応するアドレスに書き込まれている6ビットの復号データを読み出し、これを6-8ビット変換回路12に出力する。

【0063】図8は、バイアス除去回路10と二次元デコーダ11のより詳細な構成例を示している。即ち、この実施例においては、A/D変換回路9より出力された

8ビットのデータがラッチ回路31と32に供給されるとともに、減算回路42、44とともにバイアス除去回路10を構成するラッチ回路41と43に供給されるようになされている。減算回路42は、ラッチ回路31にラッチされたデータからラッチ回路41にラッチされたデータを減算し、減算回路44は、ラッチ回路32にラッチされたデータからラッチ回路43にラッチされたデータを減算し、それぞれ出力する。

【0064】減算回路42と44の出力は、RAM23にその8ビットの上位アドレスと8ビットの低位アドレスとして供給される。またラッチ回路33と34は、減算回路42と44より供給される各々8ビットの教育データを所定のタイミングでラッチし、ラッチした教育データをコントローラ15に出力するようになされている。コントローラ15は、この教育データをパターン化し、RAM23にマッピングを行なうように予めプログラムされている。

【0065】次に、上記実施例の動作について説明するが、その前に本実施例における情報ビットのシフト位置の読み取りの原理について説明する。いま、ビット間の距離が十分に離れているとして、隣接ビットからの符号間干渉を無視するとすると、第n番目のビットの前端エッジおよび後端エッジのシフト期間におけるA/D変換回路9の出力データ(再生レベル)は、図9に示すように、 $V_a(n)$ 、 $V_b(n)$ である。この $V_a(n)$ 、 $V_b(n)$ は、RF信号のレベルを表しており、次式で示すことができる。

$$V_a(n) = \Delta r f \times a_n + g_a(b_n)$$

$$V_b(n) = \Delta r f \times b_n + g_b(a_n)$$

ここで、 $\Delta r f$ は単位シフト量 Δ に定数 k を乗じた値 $g_a(b_n)$ および $g_b(a_n)$ は、2つのエッジ間の符号間干渉を表している非線形の関数であり、記録密度を上げるほど(即ち、2つのエッジが近づくほど)これらの値は大きくなる。データの復号は、この連立方程式を解き、観測される $V_a(n)$ および $V_b(n)$ から記録された信号 a_n 、 b_n を求めることである。なお、上記非線形関数は、図9に示すラインスプレッド関数(Line spread function) f に基づいて概略求められ、このラインスプレッド関数 f は光ディスク1の反射面からの反射光の強度分布によって定まり、詳しくは、“APPLIED OPTICS / Vol. 26, No. 18 / 15 September 1987 P. 3961 ~ P. 3973”に記載されている。

【0066】この信号 a_n 、 b_n は、二次元空間上でのパターン認識の問題として扱えることができる。即ち、すべての (a_n, b_n) の組合せに対して、上記した式の計算を行ない、その結果得られる $V_a(n)$ を例えばX軸、 $V_b(n)$ をY軸の値として二次元空間にプロットすると、 $V_a(n)$ 、 $V_b(n)$ の取り得る値は、図10に示すような情報点として表される。この二次元平面上においては、符号間干渉の影響を表す関数 $g_a(b$

n) および $g_b(a_n)$ は情報点の位置歪として表現される。即ち、この関数 $g_a(b_n)$ および $g_b(a_n)$ が0である場合においては(符号間干渉が起きない場合においては)、情報点は図10に破線で示す線の交差した位置(格子点)(基準点)に位置することになる。しかしながら実際には、例えば、図11に示すような単調増加関数となる符号間干渉の関数 $g_b(a_n)$ 、 $g_a(b_n)$ が発生する。その結果、図10に示すように、図中黒丸印で示す情報点が格子点(基準点)からずれることになる。

【0067】このずれは符号間干渉により発生するのであるから、符号間干渉が大きくなるほどこのずれも大きくなる。図12は、この様子を示している。即ち、図12(A)は、線記録密度を $0.32 \mu\text{m/bit}$ とした場合のずれ(歪)を表しており、同図(B)と(C)は、それぞれ線記録密度が $0.36 \mu\text{m/bit}$ または $0.46 \mu\text{m/bit}$ である場合における歪を表している。線記録密度が小さくなるほど(高密度になるほど)歪が大きくなることが理解される。

【0068】即ち、上記した教育ビットP2に記録した教育データを再生して、その再生レベルにより規定される情報点を、図10に黒丸印で示したように、基準点としてRAM23上にマッピングする。そして、データビットのデータを読み取って得られる情報点をRAM23上でプロットし、最も近い基準点とその情報点に対応する基準点であると判定するのである。そして、その基準点の示すエッジ位置(a_n 、 b_n)を読み取った情報点のエッジ位置として出力されるのである。

【0069】次に、図13のタイミングチャートを参照して、最初にRAM23に対する基準点のマッピングの動作について説明する。

【0070】ピックアップ3は光ディスク1より、そこに記録されている信号を再生する。この再生RF信号はヘッドアンプ4を介してA/D変換回路9に供給され、サンプルクロックSP(図13(C))の立ち上りのタイミングでA/D変換される。A/D変換回路9より出力されたデジタルデータは、ラッチ回路31、32、41、43にそれぞれ供給される。これらのラッチ回路には、クロックA(図13(D))、クロックB(図13(E))、クロックRA(図13(H))、クロックRB(図13(I))がそれぞれ供給されている。

【0071】図13に示すクロックA、クロックB、クロックRA、クロックRB、クロックTA(図13(F))、クロックTB(図13(G))は、PLL回路7で生成されたクロックである。図13を参照して明らかなように、クロックAとクロックBは、それぞれ各ビットの前端エッジと後端エッジをサンプリングするタイミングの直後に発生される。また、クロックRAとRBは、それぞれサーボ領域の基準ビットP3の基準位置データ(0, 0)をラッチするタイミングで発生され

る。

【0072】従って、ラッチ回路41とラッチ回路43には、前回のサーボ領域における基準ビットP3の前方エッジと後方エッジの基準位置データ(0, 0)がラッチされている。ラッチ回路31と32により教育ビットP2の前端エッジと後端エッジの教育データがラッチされると、減算器42によりラッチ回路31のラッチデータからラッチ回路41のラッチデータが減算される。同様にして、ラッチ回路32によりラッチされたデータからラッチ回路43によりラッチされたデータが減算される。

【0073】即ち、減算回路42と44は、教育ビットP2の位置M(Mは0乃至7のいずれかの値)と位置0におけるレベルの差を出力することになる。また減算回路44は、位置N(Nは0乃至7のいずれかの値)と位置0のレベルの差を出力することになる。このように、位置0におけるレベルを減算することにより再生信号のDC成分(バイアス成分)が除去されることになる。そして、このようにDC成分が除去されたデータは、ラッチ回路33と34にそれぞれ供給される。ラッチ回路33と34は、クロックTAとTBが入力されたタイミングにおいて、このデータをラッチし、コントローラ15に出力する。即ち、ラッチ回路33と34は、DC成分が除去された教育データをラッチし、コントローラ15に出力することになる。

【0074】勿論、基準位置データ(0, 0)の値を減算しないで、各シフト位置のデータの絶対的レベルをラッチすることも可能である。しかしながら、そのようにすると、ディスク1や光学系のバラツキなどに起因して、各シフト位置の絶対的レベルが変化するので、各シフト位置の判定が困難になる。そこで、このように基準位置データ(0, 0)の値を減算することで、ディスク1や光学系のバラツキによる影響を軽減するのが好ましい。

【0075】コントローラ15は、ラッチ回路33から入力された教育データを図8における下位アドレス、ラッチ回路34より入力される教育データを図8における上位アドレスとして、その2つの座標により規定される情報点を基準点としてRAM23上にマッピングする。

【0076】以上のマッピング動作が64個のサーボ領域からの教育データに対応して行なわれると、64個の基準点が、図14に示すように、RAM23上の所定の記憶点にマッピングされることになる。

【0077】次に、コントローラ15は、RAM23上の各記憶点の、64個の基準点が記憶された記憶点に対する距離を演算する。即ち、例えば図15に示すように、記憶点m1乃至m17の、基準点(0, 7)が記憶された記憶点miに対する距離を演算する。また同様にして、記憶点m1乃至m17の、基準点(1, 7)が記憶された記憶点mjに対する距離も演算する。そして、各

記憶点に、基準点が記憶されている。記憶点のうち、最も近い記憶点に記憶されている基準点と同一のデータを記憶させる。

【0078】ここで、A/D変換回路9における1サンプル当りの量子化ビット数が8ビットであるので、その出力は256段階のレベルを有することになる。従って、RAM23は横軸と縦軸のアドレスとして、それぞれ256個のアドレスを有することになる。換言すれば、RAM23は、256×256個の記憶点により構成されることになる。このうち、所定の記憶点に、図14に示すように基準点が記憶されることになる。

【0079】そして、この基準点が記憶されていないその他の記憶点に対しては、既に基準点が記憶されている記憶点との距離が演算され、最も近い距離の記憶点に記憶されている基準点と同一のデータが、各記憶点に記憶される。例えば図15の実施例においては、記憶点m1乃至m17のうち、記憶点m1乃至m9は記憶点mi（基準点(0, 7)）に最も近く、記憶点m10乃至m17は記憶点mj（基準点(1, 7)）に最も近いことになる。そこで、記憶点m1乃至m9には、基準点(0, 7)のデータが書き込まれる。即ち、これらの記憶点は、基準点(0, 7)の領域A(0, 7)とされる。これに対して、記憶点m10乃至m17には、基準点(1, 7)のデータが書き込まれる。即ち、これらの記憶点は、基準点(1, 7)に対応する領域A(1, 7)とされる。

【0080】以上のようにして、256×256個の各記憶点に基準点のデータが書き込まれるため、各基準点に対応するRAM23上の領域を図に示すと、図16に示すようになる。各領域A(i, j)に含まれる記憶点には、基準点(i, j)のデータが記憶されていることになる。

【0081】上述したコントローラ15によるマッピング処理をフローチャートを、図17に示す。

【0082】まず、前述したように、光ディスク1の各サーボ領域の教育ビットP2の前端エッジの位置Mと後端エッジの位置Nは、各サーボ領域において、それぞれ異なる組合せに設定されている。これら教育データ

(M, N)は、データ領域に対する挿入位置に対応して所定の順序となるように規則的に設定されている。すなわち、最初のサーボ領域においては、(0, 0)とされ、次のサーボ領域においては(0, 1)とされ、以降同様に、(0, 2), (0, 3), ..., (7, 6), (7, 7)と設定されている。

【0083】そこで、図17に示すステップSP1においては基準位置データ(0, 0)に対応する教育データ(0, 0)を、順次到来するサーボ領域から検出し、最初のサーボ領域が検出された時点で、ステップSP2に進み、MとNが0に設定された後、ステップSP3へ進む。このステップSP3において、教育データ(0,

0)で指定されるRAM23上のアドレス(記憶点)を基準点(0, 0)として、復号データ(0, 0)を格納する。以降同様に、ステップSP3~SP8を繰り返し処理することによって、教育データ(0, 1), ..., (7, 7)で指定されるRAM23上のアドレス(記憶点)に、復号データ(0, 1), ..., (7, 7)を格納する。

【0084】その後、ステップSP9に進み、上述した補間演算処理により、基準点(i, j)以外の記憶点に、復号データ(i, j)を格納する。以上のマッピング処理が、異なる光ディスク1が再生装置に装填される毎に、初期設定動作としてコントローラ15によって実行される。

【0085】次に、図18のタイミングチャートを参照して、データ領域における動作について説明する。図18(A)に示すビット列に対応して、同図(B)に示すRF信号がA/D変換回路9に入力される。各ビットの前端及び後端エッジのレベルがサンプルクロックSP(図18(C))の立ち上りに同期してサンプリングされる。図18(A)および(B)に示すように、RF信号の位相はビットのエッジの位置に対応して変化する。そしてサンプルクロックSPは、このエッジのシフト期間に発生するので、エッジのシフト位置はRF信号のレベルの変化として検出することができる。

【0086】ラッチ回路31によりラッチされたデータビットの前端エッジのデータは、ラッチ回路41にラッチされている位置0のレベルとの差が減算回路42により演算された後、RAM23に、その下位アドレス(図10における横軸のアドレス)として供給される。同様にして、ラッチ回路32によりラッチされたデータビットの後端エッジのデータは、ラッチ回路43にラッチされている位置0のレベルが減算されてDC成分が除去された後、RAM23に上位アドレス(図10における縦軸のアドレス)として供給される。RAM23は、横軸と縦軸により規定されるアドレスに記憶されている復号データを読み出して、出力する。この復号データとしては、上述したマッピングによる教育データの基準点が書き込まれている。従って、情報点に最も近い基準点のデータ(an, bn)が選択されて出力されることになる。

【0087】このようにして図5に示す二次元デコード11より出力された6ビットの復号データ(an, bn)は、6-8ビット変換回路12に供給されて、8ビットのデータに変換される。即ち、光ディスク1に例えば音声信号が記録されるとき、音声信号は8ビットを単位として誤り訂正処理が実行される。しかしながら上述したように、本実施例においては、前端エッジ3ビット(8段階のシフト位置)、後端エッジ3ビット(8段階のシフト位置)の合計6ビットが基本的な単位としてデータが記録される。即ち、記録時に8ビット区切りのデ

ータを所定の方式に従って6ビット区切りのデータに変換して光ディスク1にデータを記録している。そこで、6-8ビット変換回路12において、この6ビット単位のデータを元の8ビット単位のデータに逆変換するのである。これは、例えば6ビット単位の4組のデータを復号した後、これらをまとめて8ビット単位の3組のデータを出力するように動作する。6-8ビット変換回路12により逆変換された8ビットを単位とするデータは、誤り訂正回路13に供給され、その誤りが訂正された後、D/A変換回路14に供給され、D/A変換されて、例えば図示せぬアナログオーディオアンプで増幅され、スピーカなどから再生音として放音される。

【0088】図19は、上述した実施例において、バイアス除去回路10を動作させない状態で、デコードして得られたデータのエラーレートを示している。同図に示すように、鋸歯状波を用いて行った従来のデコード方法（本出願人が先に提案した、特願平3-167585号に記載の方法）に比べ、上述したRAM23上にマッピングした基準点を用いて二次元デコードを行った場合の方がエラーレートが小さくなっていることが判る。また、線記録密度を小さくした場合の方がより効果が上がっていることが判る。

【0089】尚、上記した実施例においては、図1に示すように、1つのビットの前端エッジと後端エッジを対として、それぞれにデータanとbnを記録するようにしたが、例えば図20に示すように、隣接するビットのそれぞれ対向するエッジにデータanとbnを記録するようにすることもできる。この場合においては、サーボ領域における教育データと位置基準データも、図21に示すように、2つのビットの対向するエッジにそれぞれの教育データと位置基準データを記録する。この実施例においては、教育ビットP1とP2のそれぞれ対向するエッジに教育データ(M, N)が記録されており、基準ビットP3とP4の対向するエッジに位置基準データ(0, 0)が記録されており、基準ビットP4とP5のそれぞれ対向するエッジに位置基準データ(7, 7)が記録されている。

【0090】この場合においては、クロックAとクロックBが図18(F)と(G)に示すように、それぞれビットの後方のエッジと前方のエッジにおいて発生するようにする。

【0091】再生データにより得られた情報点と、教育データにより得られた基準点との距離は、RAM23に予め記憶しておくのではなく、その都度演算することも可能であるが、そのようにすると迅速な判定が困難になるため、実施例のようにRAM23に予め書き込んでおくことが好ましい。

【0092】図5に示す実施例においては、A/D変換回路9と二次元デコーダ11との間に、バイアス除去回路10を配置する構成としたが、バイアス除去回路10

以外にゲイン調整回路を挿入することが可能である。図22は、この場合の実施例を示している。即ち、この実施例においては、減算回路42の出力がゲイン可変アンプ63に供給されるとともに、ラッチ回路61に供給され、クロックKAでラッチされるようになされている。ラッチ回路61の出力が減算回路62に供給され、所定の目標振幅との差が演算されるようになされている。そして、減算回路62の出力がゲイン可変アンプ63に供給されている。

10 【0093】同様にして、減算回路44の出力がゲイン可変アンプ66に供給されるとともに、ラッチ回路64に供給されている。ラッチ回路64によりクロックKBのタイミングでラッチされたデータは、減算回路65に供給され、図示せぬ回路から供給される目標振幅が減算された後、ゲイン可変アンプ66に供給されるようになされている。

20 【0094】尚、ゲイン可変アンプ63, 66は、ROMにより構成することができる。このROMに、減算回路42と62(44と65)の出力をアドレスとして入力し、そのアドレスに対応するデータを読み出すようにする。

【0095】そして、ゲイン可変アンプ63の出力がRAM23とラッチ回路33に供給されるとともに、ゲイン可変アンプ66の出力がRAM23とラッチ回路34に供給されるようになされている。即ち、バイアス除去回路10の後段に、ゲイン調整回路60が接続された構成となっている。その他の構成は、図5および図8における場合と同様である。

30 【0096】次に、図22の実施例について、図23のタイミングチャートを参照して説明する。図22の実施例においては、図1および図13に示す実施例の場合と異なり、教育ビットP1とP2のそれぞれ対向するエッジに教育データが配置されている。また、基準ビットP3とP4の対向するエッジに基準位置データ(0, 0)が記録され、基準ビットP4とP5の対向するエッジに基準位置データ(7, 7)が記録されている(図23(A))。

40 【0097】この教育ビットP1, P2と、基準ビットP3乃至P5に対応して、図23(B)に示すRF信号が得られる。これを図23(C)に示すサンプルクロックSPのタイミングでA/D変換回路9においてA/D変換し、このデータをクロックA(図23(D))のタイミングでラッチ回路31においてラッチするとともに、クロックB(図23(E))のタイミングでラッチ回路32においてラッチする。さらに、クロックRA(図23(F))のタイミングでラッチ回路41においてラッチし、またクロックRB(図23(G))のタイミングでラッチ回路43においてラッチする。

50 【0098】そして、減算回路42において、ラッチ回路31の出力からラッチ回路41の出力を減算すると

23.

もに、減算回路44において、ラッチ回路32の出力からラッチ回路43の出力を減算する。このようにして、DC成分に影響されないデータを得ることができる(図14において、基準点(0, 0)を、破線で示す直線が交差する格子点の位置に配置することができる)のは、上述した場合と同様である。

【0099】本実施例においては、さらにラッチ回路61において、減算回路42の出力がクロックKA(図23(H))のタイミングでラッチされる。即ち、ラッチ回路61には基準ビットP4の後端エッジに記録されている位置基準データ7がラッチされる。このラッチ回路61の出力から、減算回路62において予め設定された目標振幅が減算される。そして、その差がゲイン可変アンプ63に供給される。ゲイン可変アンプ63は、減算回路62より供給される信号に対応して、減算回路42より供給される信号のゲインを調整する。即ち、これにより、ゲイン可変アンプ63より出力される信号の、図10において、基準点(7, 7)で示される横軸方向の位置が目標振幅になるように設定される。

【0100】同様に、ラッチ回路64において、クロックKB(図23(I))のタイミングで減算回路44の出力がラッチされる。即ち、このラッチ回路64には、基準ビットP5の前端エッジに記録されている位置基準データ7がラッチされる。このラッチ回路64によりラッチされたデータは、減算回路65において目標振幅が減算された後、ゲイン可変アンプ66に供給される。ゲイン可変アンプ66は、減算回路65より供給される信号に対応して、減算回路44より供給される信号のゲインを調整する。これにより、ゲイン可変アンプ66より出力される信号の、図10において、基準点(7, 7)で示す縦軸方向の位置が予め設定した目標振幅位置になるように調整される。

【0101】このように、ゲイン調整回路60により利得を調整することにより、図14に示す基準点(7, 7)の位置を所定の位置に常に配置することができる。これにより、光ディスク1に局部的に特性のパラツキがあったような場合においても、データを正確に読み取ることが可能となる。

【0102】図24は、ゲイン可変アンプ63(または66)の出力を表わしている。同図(A)は、減算回路62の出力をゲイン可変アンプ63に供給しない場合のものであり、同図(B)は、供給した場合のものである。減算回路62の出力によりゲインを調整した方がレベル変動が抑制されていることが判る。

【0103】図25は、図22における実施例において、CDシステムに使われているエラー訂正の手法を応用したときのC1のエラーの数を測定した場合を示している。図中、白丸印は、ラッチ回路41, 43の出力を減算回路42, 44に供給するとともに、減算回路62, 65の出力をゲイン可変アンプ63, 66に供給し

24

ない場合のものであり、図中、黒丸印は、ラッチ回路41, 43の出力を減算回路42, 44に供給するとともに、減算回路62, 65の出力をゲイン可変アンプ63, 66に供給した場合のものである。後者の方が発生するエラーの数が減少していることが判る。また、記録線密度がCDの2倍であるにも関わらず、エラーの数がCDの規格を満足していることが判る。

【0104】以上のように、教育ビットP1, P2、あるいは基準ビットP3乃至P5に記録されているデータを基準として再生データを処理するのであるから、これらの基準となるデータに例えばドロップアウトなどがあると、正確なデータの読み取りが困難になる。これを防止するため、例えば図26に示すように構成することができる。即ち、この実施例においては、図22におけるラッチ回路31と32がFIFO71と72に置き換えられており、ラッチ回路41と43がディフェクト除去回路73と74に置き換えられている。また、ラッチ回路61と64がディフェクト除去回路82と84に置き換えられるとともに、ゲイン可変アンプ63と66の前端にFIFO81と83が挿入されている。その他の構成は、図22における場合と同様である。

【0105】即ち、ディフェクト除去回路73は、A/D変換回路9より入力されるデータを、図27に示すように、例えば4ブロック分記憶する。そして、各ブロックにおける位置基準データ(0, 0)を比較し、最大と最小のデータを除く、2つのデータの平均を演算し、それを位置基準データ(0, 0)のデータとする。このようにすれば、ドロップアウトなどにより位置基準データ(0, 0)の値が異常な値になったとしても、その異常な値が基準データとして用いられるようなことが防止される。

【0106】このことは、他のディフェクト除去回路74, 82, 84においても同様である。

【0107】尚、FIFO71, 72, 81, 83は、ディフェクト除去回路73, 74, 82, 84において、4ブロックのデータを記憶する必要があるため、これに基づく遅延時間だけデータを遅延して、減算回路42, 44またはゲイン可変アンプ63, 66に供給するためのものである。

【0108】図28は、ディフェクト除去回路73(74, 82, 84においても同様である)の構成例を示している。この実施例においては、A/D変換回路9より入力されたデータがラッチ回路91乃至94にクロックRAに同期して順次ラッチされる。そしてラッチ回路91乃至94にラッチされたデータは、ゲート95乃至98がオンされることによりデータバスに読み出される。データバス上のデータは、ラッチ回路99乃至102に、コントローラ104が出力するクロックに同期して所定のタイミングでラッチされる。このコントローラ104は、各種演算を行うCPUと、このCPUで用いら

れるプログラムが予め格納されたROMなどからなるマイクロコンピュータによって構成されている。

【0109】ラッチ回路99と100によりラッチされたデータは、比較回路103に供給され、そのレベルの大小が比較される。そして、その比較結果に対応した信号SABがコントローラ104に供給される。コントローラ104は、ゲート95乃至98にそれぞれゲート制御信号EA, EB, EC, EDを出力し、所定のデータをデータバスに読み出させるとともに、ラッチ回路99乃至102に出力するクロックを生成している。また、比較回路103より供給された信号から、ラッチ回路91乃至94にラッチされているデータのうち、最大値と最小値を図29に示すようなテーブルに従って判定する。

【0110】即ち、コントローラ104は、ゲート制御信号EA乃至EDの所定のものを所定のタイミングで出力し、データバスを介してラッチ回路99と100に、ラッチ回路91乃至94にラッチされているデータのうち、所定の2つのデータをそれぞれラッチする。そして、このラッチしたデータの大小を比較回路103で判定する。この処理を何回か繰り返すことにより、ラッチ回路91乃至94にラッチされているデータの最大値と最小値が求められる。

【0111】図29においては、ラッチデータ R_{n-1} 乃至 R_{n+2} のうち、最上行において左側に記載されているものが右側に記載されているものより大きいとき論理1、小さいとき論理0、不定のときXで示されている。例えばラッチ回路94にラッチされているデータ R_{n-1} が、ラッチ回路93にラッチされているデータ R_n より大きく、ラッチ回路94にラッチされているデータ R_{n-1} が、ラッチ回路92にラッチされているデータ R_{n+1} より大きく、さらにラッチ回路94にラッチされているデータ R_{n-1} が、ラッチ回路91にラッチされているデータ R_{n+2} より大きいとき、ラッチ回路94にラッチされているデータ R_{n-1} が最大値となる。

【0112】また、 R_{n-1} が R_n より小さく、 R_n が R_{n+1} より大きく、かつ、 R_n が R_{n+2} より大きい場合、 R_n が最大値となる。

【0113】以下同様にして、図27より最大値と最小値が求められる。

【0114】コントローラ104は、以上のようにして図29に示すテーブルからラッチ回路91乃至94に記憶されているデータ R_{n-1} 乃至 R_{n+2} のうち、最大値と最小値が判ったとき、それを除く、他のデータをデータバス上に読み出し、これをラッチ回路101と102にラッチする。そして、ラッチ回路101と102にラッチされたデータは、加算回路105により加算され、乗算回路106により係数1/2が乗算された後、ラッチ回路107に供給され、ラッチされる。即ち、このラッチ回路107には、ラッチ回路91乃至94にラッチさ

れたデータ R_{n-1} 乃至 R_{n+2} のうち、最大値と最小値を除く2個のデータの平均値がラッチされる。このデータが減算回路42に供給されることになる。

【0115】図30は、図26においてディフェクト除去回路73, 74, 82, 84を用いた場合(同図においてAで示す)と、用いない場合(同図においてBで示す)のレベルの変化を示している。ディフェクト除去回路を用いない場合、レベルがドロップアウトなどに起因するディフェクトに対応して、ばらついていることが判る。これに対して、ディフェクト除去回路を用いた場合においては、ディフェクトが除去されるため、レベルのバラツキが抑制されていることが判る。即ち、それだけ正確にデータを判定することが可能になる。

【0116】この他、再生データにより得られる情報点と教育データにより設定された基準点との最小距離は、例えば図31に示すような構成により検出することもできる。

【0117】この実施例においては、再生RF信号がA/D変換回路50によりA/D変換され、ラッチ回路51と52によりラッチされるようになされている。ラッチ回路51は、上記した例えばピットの前方のエッジに対応したデータをラッチし、ラッチ回路52は、後方のエッジに対応したデータをラッチする。ラッチ回路51と52によりラッチされたデータは、64個の相関器53-1乃至53-64に供給される。相関器53-1乃至53-64には、64通りの教育データがそれぞれ供給されている。そして各相関器53-1乃至53-64は、ラッチ回路51, 52より供給されたデータと教育データとの相関を演算し、その演算結果を最大値検出器54に出力している。最大値検出器54は、例えばWinner Take All回路により構成され、相関器53-1乃至53-64より供給される64個のデータのうち、最大のものを検出し、それを出力する。

【0118】上述した実施例においては、CLVモードとした場合を例に挙げて説明したが、CAVモードとしても勿論かまわない。この場合に、隣接するトラック間でピットとピットの位置が互いに90度の位相ずれを持つようにピットを配置することで、隣接トラック間のクロストークの影響を減らし、トラック方向にも高密度化を実現することが可能となる。

【0119】尚、上述した実施例においては、RAM23に教育データに対応してすべての基準点をマッピングするようにしたが、その一部(例えば16個)の基準点のみを教育データによりマッピングし、他の基準点は教育データによりマッピングされた基準点から演算により補間するようにすることもできる。

【0120】最後に、上述した高記録密度の光ディスク1の記録装置の実施例について説明する。図32において、情報源201は、記録すべき信号として、オーディオ信号をディジタル化して出力する。ECC回路202

は、情報源201より供給されたデジタルオーディオデータに誤り訂正符号を付加し、変換回路203に出力する。変換回路203は、入力されたデータを、3ビットを単位とするデータに変換する。すなわち、この実施例においては、各ビットのエッジ位置が0乃至7の8段階の位置の何れかに設定される。このため、各エッジの位置を特定するために、3ビットのデータが必要となる。変換回路203においては、この3ビットのデータが生成される。

【0121】クロック情報発生回路205は、光ディスク1に記録されているデータを読み取るために必要なクロックを生成するのに必要なデータを発生する。バイアスゲイン情報発生回路206は、バイアス点を示すデータ（基準点（0，0）を示すデータで、前端エッジと後端エッジの位置が、何れも0であることを示すデータ）と、ゲインを設定するデータ（基準点（7，7）を示すデータで、前端エッジと後端エッジの位置が、何れも7であることを示すデータ）を発生する。

【0122】PLL引込信号発生回路207は、PLLを引き込ませるための信号を発生する。教育データ発生回路208は、エッジ位置（ a_n ， b_n ）が、（0，0）乃至（7，7）のエッジ位置に対応するデータを発生する。これらのクロック情報発生回路205、バイアスゲイン情報発生回路206、PLL引込信号発生回路207、および教育データ発生回路208が出力するデータは、いずれも加算器204に供給され、変換回路203より供給されるデータと加算される（時分割多重される）。

【0123】加算器204の出力は、記録エッジ位置計算回路209に供給され、この記録エッジ位置計算回路209の出力がエッジ変調回路210に出力されている。そして、エッジ変調回路210の出力がマスタリング装置211に供給され、カッティング、現像、メッキ処理、転写、アルミ蒸着、保護膜塗布などのプロセスを経て、光ディスク1が作成される。

【0124】以上の構成において、エッジ変調回路210は、記録エッジ位置計算回路209より出力されたデータに対応するタイミングのタイミング信号を発生し、これをマスタリング装置211に出力する。

【0125】ここで、エッジ位置変調回路210は、図2に示すように、各ビットの前端および後端のエッジ位置を、それらのビットの中心の基準位置から、記録すべきデジタル情報に応じて各々8段階にシフトさせるタイミングのタイミング信号を発生するように構成されているが、各ビットのエッジ位置のシフト期間 T_s が、再生装置側の光学検出系（ピックアップ3）の伝達特性に応じて決まるRF信号の過渡期間（立ち上り期間 t_r または立ち下り期間 t_f ）よりも小なる期間に相当する範囲内に収まるように設定されている。

【0126】マスタリング装置211は、エッジ変調回

路210より供給されたタイミング信号に同期して、記録原盤上に塗布された感光膜をレーザービームによりカッティングする。カッティングされた原盤は現像され、メッキが施されて、スタンプが作成される。そして、このスタンプに形成されたビットをレプリカに転写し、このレプリカにアルミ蒸着を施し、さらに保護膜を塗布することにより、光ディスク1が製造される。

【0127】

【発明の効果】以上説明したように、本発明の情報記録媒体によれば、光学検出系の伝達特性に応じて決まる再生信号の過渡期間よりも小なる所定のシフト期間に相当する範囲内で、情報ビットのエッジ位置を、所定の基準位置から、記録すべきデジタル情報に応じてステップ状にシフトさせたので、従来のCDシステムと比較して2倍以上の記録密度が得られる。

【0128】また、本発明による情報記録媒体を再生する情報再生装置においては、再生信号の過渡期間における1サンプルタイミングで、その再生レベルを検出することができるので、情報ビットのエッジ位置のシフト量に対応する記録情報を確実に判定することができ、従って、簡単な構成で、高記録密度の情報を正確に再生することができ、構成を簡略化し、低コスト化することが可能になる。

【0129】また、情報ビットのビット列に対する挿入位置に応じて予め設定された教育データがビット列方向に隣接するエッジ位置の各々のシフト量として設定された教育ビットから、順次検出される再生レベルによって規定される基準点と、情報ビットから順次検出される再生レベルによって規定される情報点とに基づいて、情報ビットのビット列方向に隣接するエッジ位置の各々のシフト量に対応した記録情報を判定することにより、ノイズ成分を強調することなく、非線形の符号間干渉を低減することができ、さらに記録密度を向上させることが可能であると共に、より正確な復号が可能となる。

【0130】また、基準点を記憶手段上にマッピングするようにしたので、エッジの位置を簡単に、かつ迅速に判定することが可能になる。

【0131】また、情報記録媒体に記録した教育ビットから基準点をマッピングするようにしたので、情報記録媒体のバラツキに影響されずに正確にデータの読み取りを行なうことができる。

【0132】また、基準点の一部を教育ビットから規定された基準点から演算により求めるようにしたので、情報記録媒体に記録する教育ビットの数を少なくすることができ、それだけ情報記録媒体の容量を有効に利用することができる。

【0133】また、教育ビットの再生レベルに対応するアドレスにより規定される記憶点に基準点を記憶させるようにしたので、情報点の対応する基準点の判定を容易に行うことができるようになる。

【0134】また、教育ビットの再生レベルに対応するアドレスにより規定される記憶点以外の記憶点に、教育ビットの再生レベルに対応するアドレスにより規定される記憶点のうち、最も近い記憶点に記憶されている基準点を記憶させるようにしたので、対応する基準点の迅速な判定が可能となり、再生レベルが雑音により多少変動されても正確に復号可能となる。

【0135】また、情報記録媒体から再生された信号から、エッジのシフト量が最も小さいシフト位置にある基準ビットに対応する信号を減算するようにしたので、情報記録媒体などのバラツキに影響されずに、データを正確に読み取ることが可能となる。

【0136】また、情報記録媒体から再生された信号から、エッジのシフト量が最も大きいシフト位置にある基準ビットに対応する信号を減算するようにしたので、情報記録媒体自体の局所的な特性のバラツキの影響を受けずに、データを正確に読み取ることが可能になる。

【0137】また、情報記録媒体から再生された信号から、エッジのシフト量が最も小さいシフト位置と、最も大きいシフト位置にある基準ビットに対応する信号を減算するようにしたので、情報記録媒体の個々のバラツキや、内部の局所的なバラツキに拘らず、データを正確に読み取ることが可能になる。

【0138】また、教育ビットを形成するようにしたので、情報記録媒体や再生装置の特性のバラツキに影響されずに、記録データを正確に再生することが可能になる。

【0139】また、教育データをデータビットから離間して形成するようにしたので、教育データが記録データにより影響を受けることが軽減される。

【0140】また、シフト量が最も小さいシフト位置のエッジを有する基準ビットを、データビット以外の所定の位置に記録するようにしたので、個々にバラツキがあった場合においても、正確にデータを読み取ることが可能な情報記録媒体を実現することができる。

【0141】また、シフト量が最も大きいシフト位置のエッジを有する基準ビットを、データビット以外の所定の位置に記録するようにしたので、局所的に特性のバラツキがあった場合においても、データを正確に読み取ることが可能な情報記録媒体を実現することができる。

【0142】また、シフト量が最も小さいシフト位置のエッジと、シフト量が最も大きいシフト位置のエッジを有する基準ビットを、データビット以外の所定の位置に記録するようにしたので、個々のバラツキや、局所的なバラツキに拘らず、データを正確に読み取ることが可能な情報記録媒体を実現することができる。

【0143】さらに、本発明による情報記録装置によれば、記録されるビットの長さのダイナミックレンジが低く、このため記録時における蓄熱効果等の影響は、ほとんど無視することができ、高記録密度で記録した場合に

においても良好な信号特性が得られる。

【図面の簡単な説明】

【図1】本発明の情報記録媒体のデータ領域とサーボ領域の構成を説明する図である。

【図2】本発明の情報記録媒体における情報ビットの構成例を説明する図である。

【図3】本発明の情報記録媒体における情報ビットの構成例を説明する図である。

【図4】本発明の情報記録媒体のトラック間の位相を説明する図である。

【図5】本発明の情報再生装置を応用した光ディスク再生装置の一実施例の構成を示すブロック図である。

【図6】図5の実施例におけるPLL回路7の構成例を示すブロック図である。

【図7】図5の実施例における二次元デコーダ11の構成例を示すブロック図である。

【図8】図5の実施例におけるバイアス除去回路10と二次元デコーダ11の構成例を示すブロック図である。

【図9】隣接するエッジの符号間干渉を説明する図である。

【図10】図8のRAM23における基準点のマッピングの原理を説明する図である。

【図11】隣接するエッジの影響を示す関数を説明する図である。

【図12】隣接するエッジの影響と線密度の関係を説明する図である。

【図13】図8の実施例におけるサーボ領域の動作を説明するタイミングチャートである。

【図14】図8のRAM23における基準点のマッピングを説明する図である。

【図15】図8のRAM23における他の記憶点に対する基準点のマッピングを説明する図である。

【図16】図8のRAM23における全ての記憶点に対する基準点のマッピング状態を説明する図である。

【図17】図8のコントローラ15によるマッピング処理の手順を説明するためのフローチャートである。

【図18】図8の実施例におけるデータ領域における動作を説明するタイミングチャートである。

【図19】図5の実施例により実現されるエラーレート

を説明する図である。

【図20】情報記録ビットの他の構成例を説明する図である。

【図21】情報記録ビットを図20に示すように構成した場合におけるサーボ領域の構成例を示す図である。

【図22】本発明の情報再生装置を応用した光ディスク再生装置の他の実施例の構成を示すブロック図である。

【図23】図22の実施例の動作を説明するタイミングチャートである。

【図24】図22におけるゲイン可変アンプ63、66の出力のレベルの変化を説明する図である。

【符号の説明】

Ts…シフト期間

t_r …立ち上り期間（過渡期間）

t f …立ち下り期間 (過渡期間)

1…光ディスク (情報記録媒体)

3…ピックアップ（光学検出系）

7…PLL回路（クロック生成手段）

9…A/D変換回路（レベル検出手段）

10…バイアス除去回路

10 1 1…二次元デコーダ (判定手段)

15…コントローラ (判定手段)

2 1, 2 2… 遲延回路

2 3 \cdots RAM

3 1, 3 2, 4 1, 4 3…ラッチ回路

60…ゲイン調整回路

63, 66…ゲイン可変アンプ

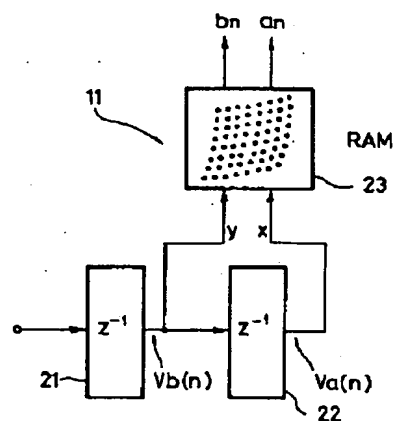
71, 72...FIFO

7.3. 7.4…ディフエクト除去回路

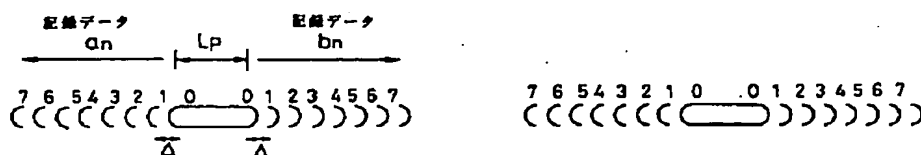
81, 83...FIFO

20 82, 84…ディフェクト除去回路

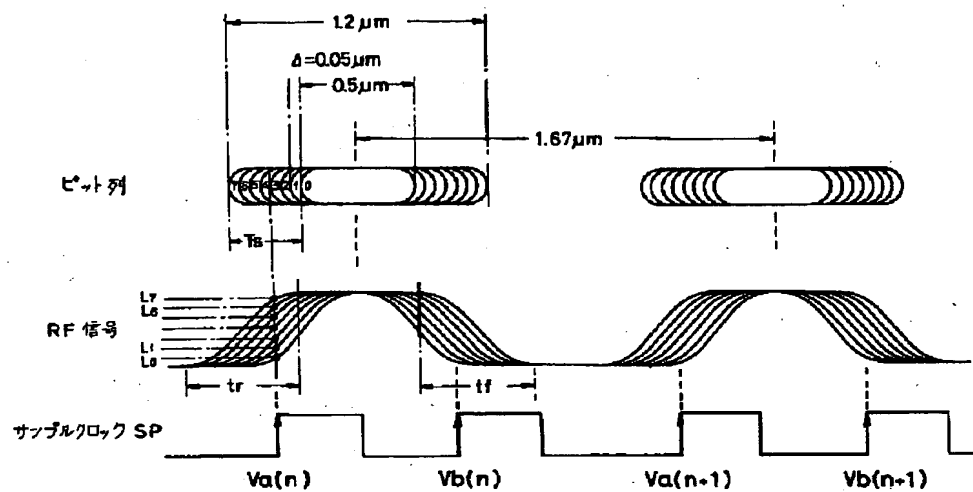
【图 7】



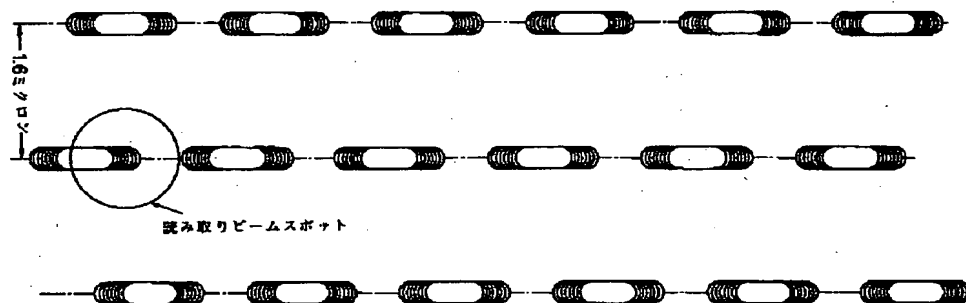
【图 3】



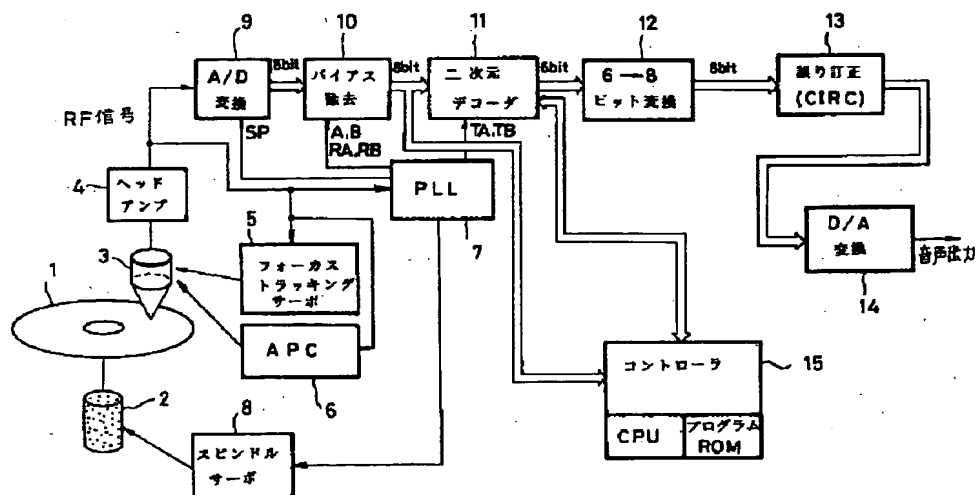
【図2】



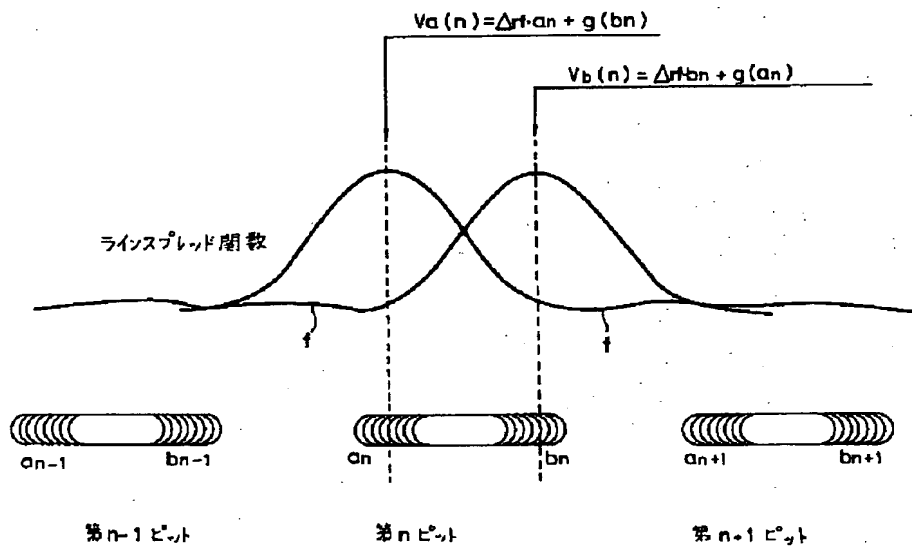
【図4】



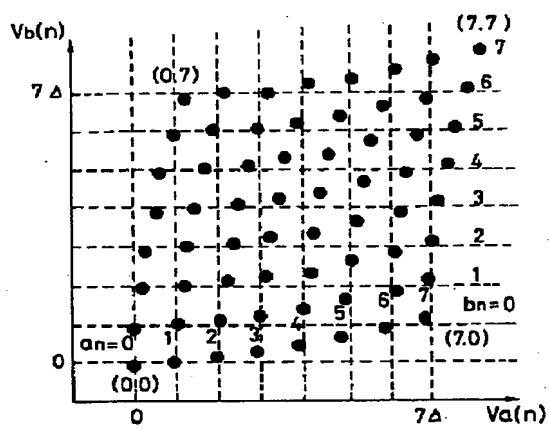
【図5】



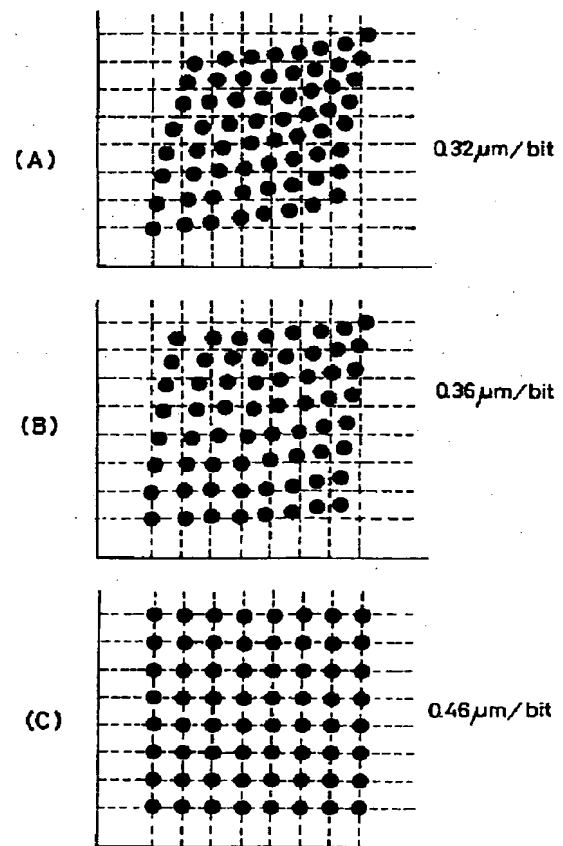
【図9】



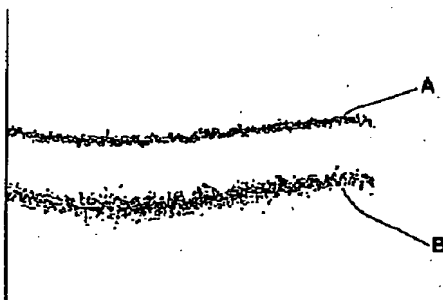
【図10】



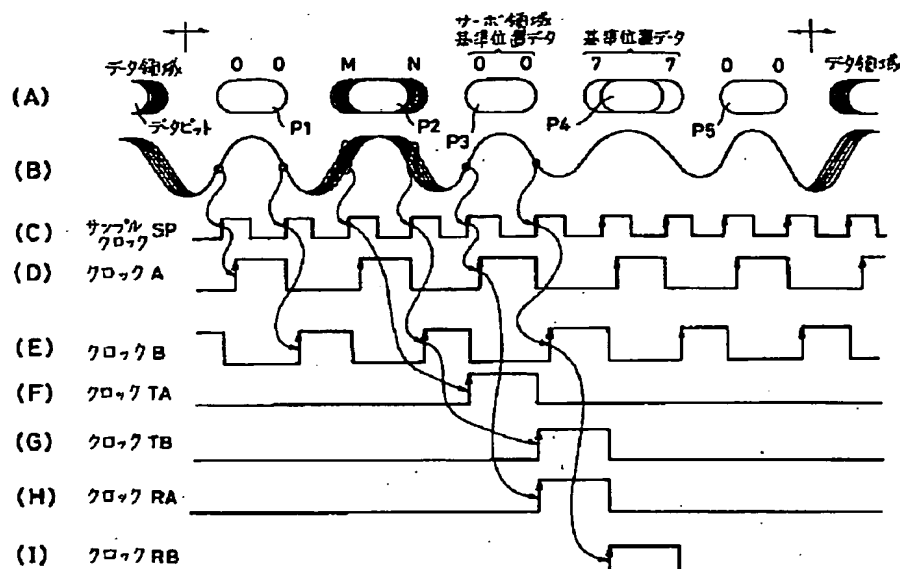
【図12】



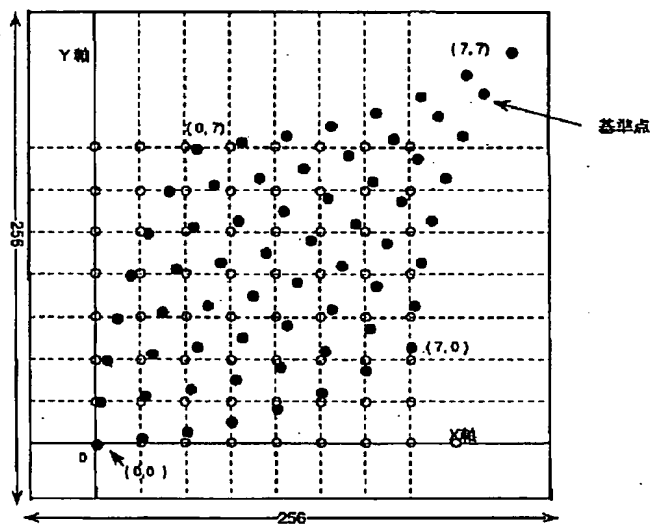
【図30】



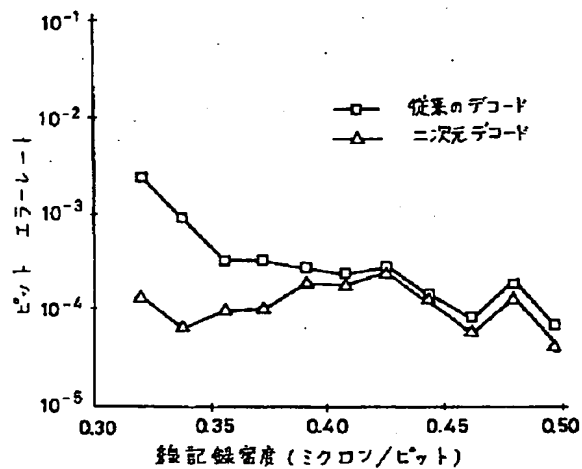
【図13】



【図14】



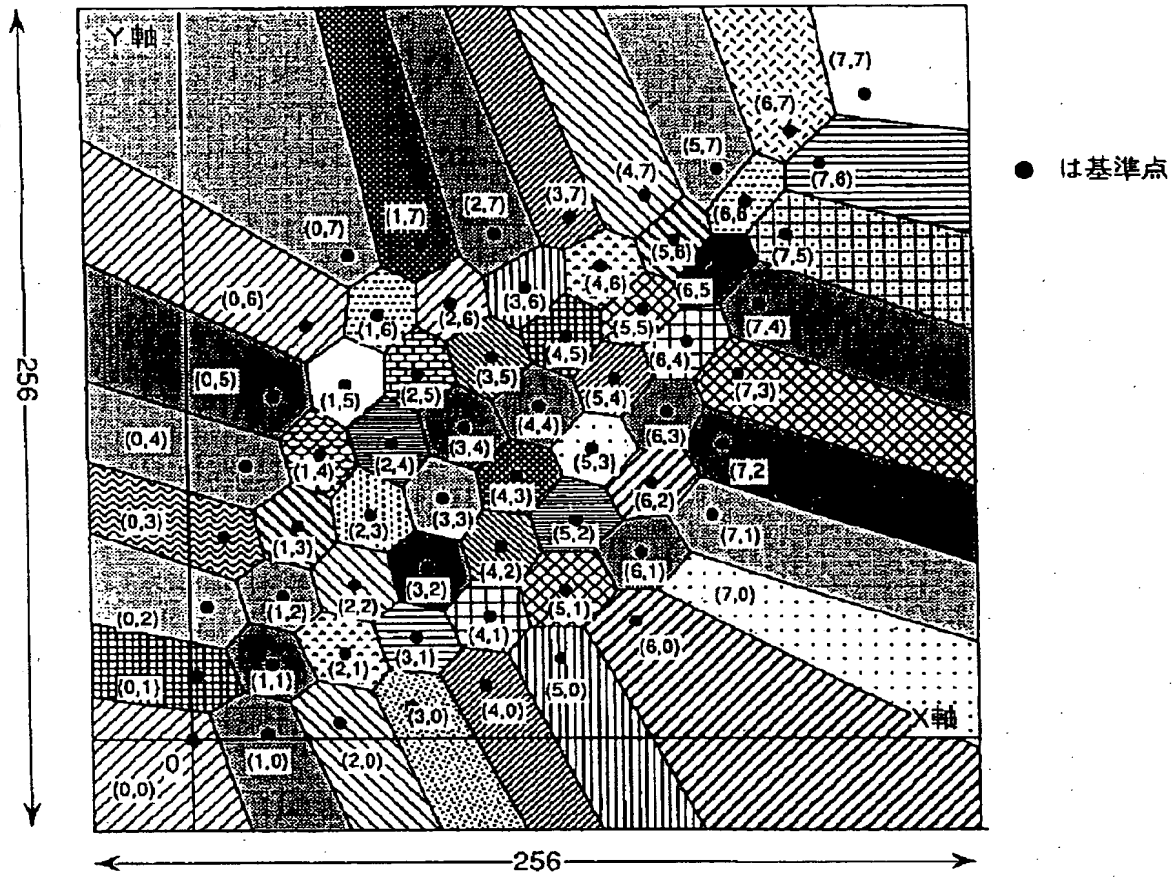
【図19】



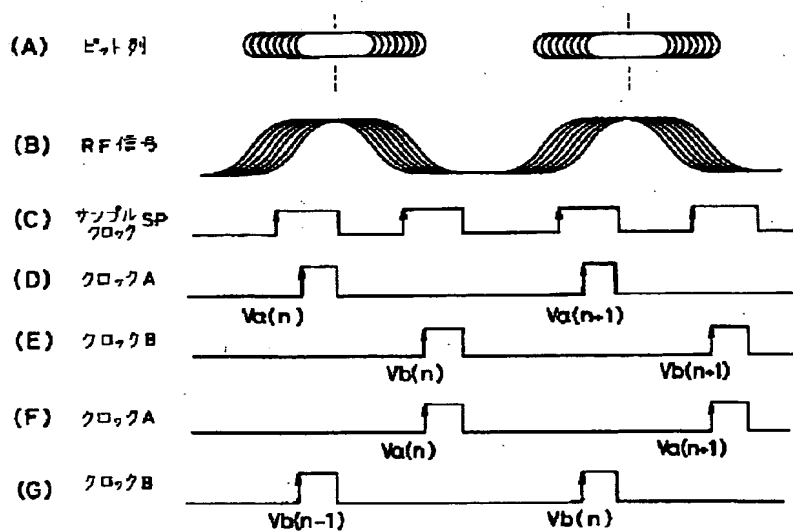
【図20】



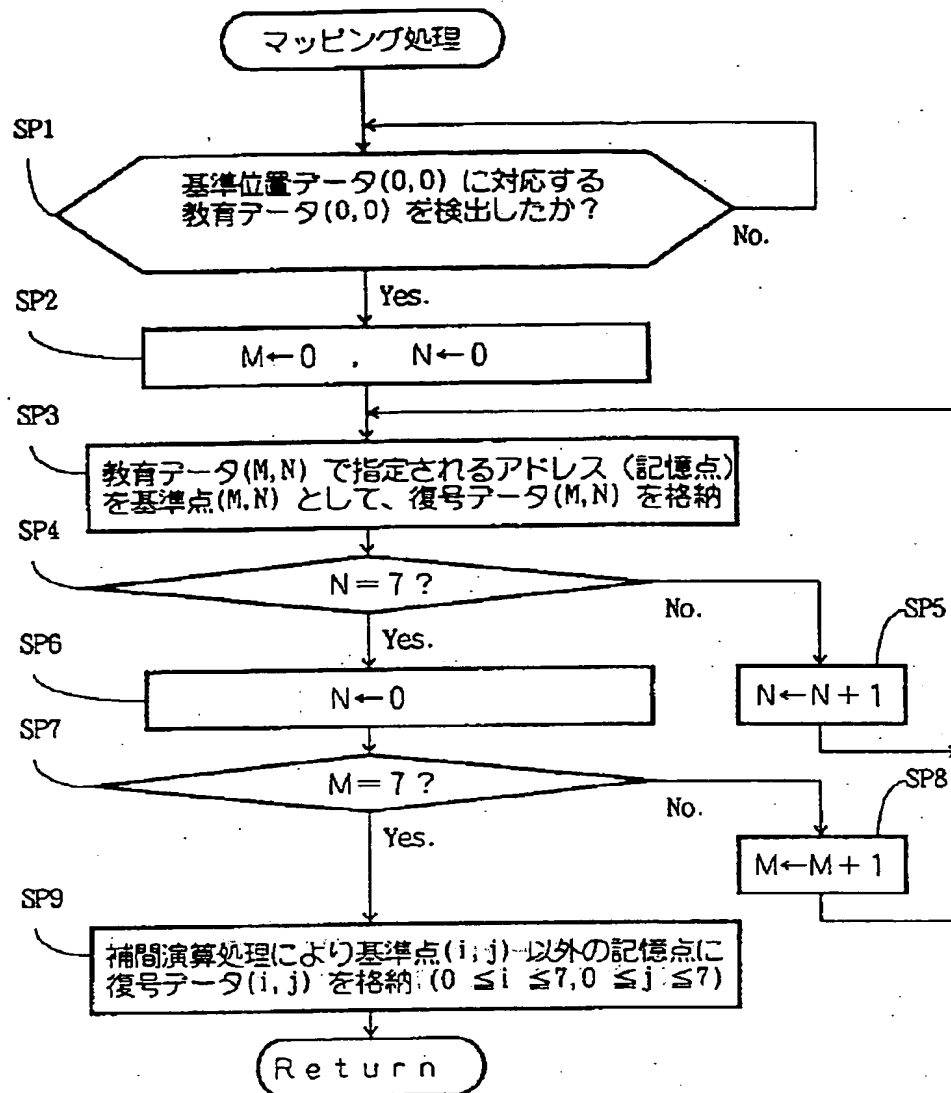
【図16】



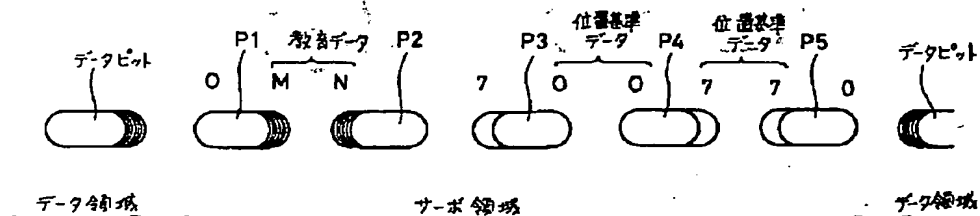
【図18】



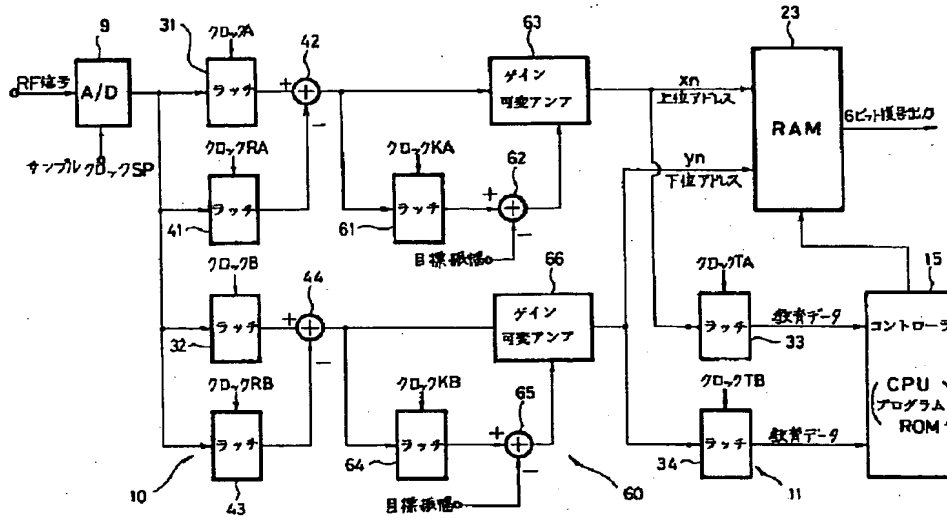
【図17】



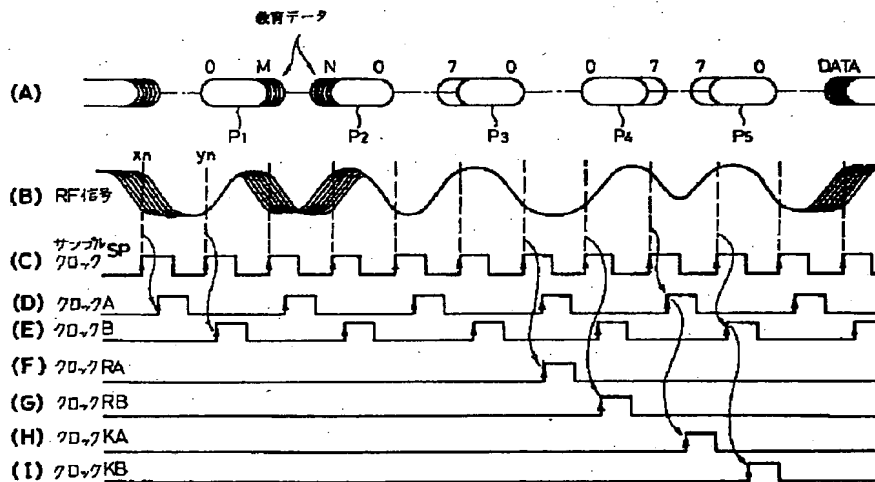
【図21】



【図22】



【図23】



【図29】

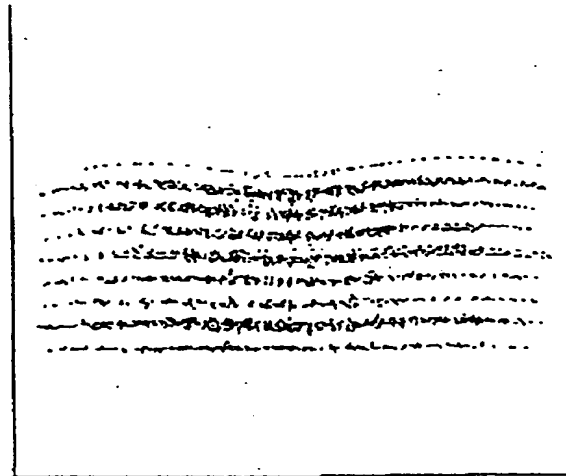
| | R_{n-1} と R_n | R_{n-1} と R_{n+1} | R_{n-1} と R_{n+2} | R_n と R_{n+1} | R_n と R_{n+2} | R_{n+1} と R_{n+2} |
|----------------|-------------------|-----------------------|-----------------------|-------------------|-------------------|-----------------------|
| R_{n-1} が最大値 | 1 | 1 | 1 | x | x | x |
| R_n が最大値 | 0 | x | x | 1 | 1 | x |
| R_{n+1} が最大値 | x | 0 | x | 0 | x | 1 |
| R_{n+2} が最大値 | x | x | 0 | x | 0 | 0 |
| R_{n-1} が最小値 | 0 | 0 | 0 | x | x | x |
| R_n が最小値 | 1 | x | x | 0 | 0 | x |
| R_{n+1} が最小値 | x | 1 | x | 1 | x | 0 |
| R_{n+2} が最小値 | x | x | 1 | x | 1 | 1 |

大小比較の結果信号SABから最大と最小を見つけるためのテーブル

【図24】

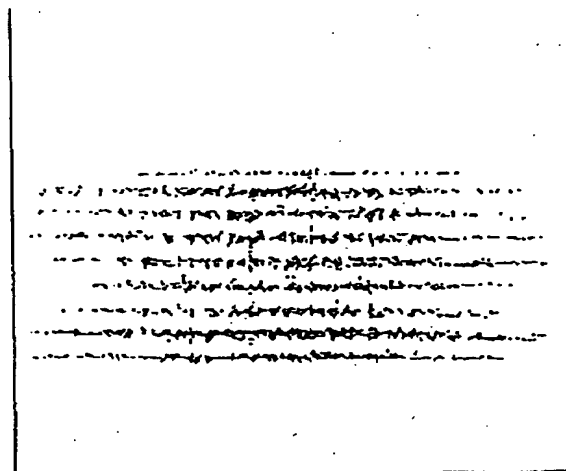
再生信号のエンベロープ

(A)

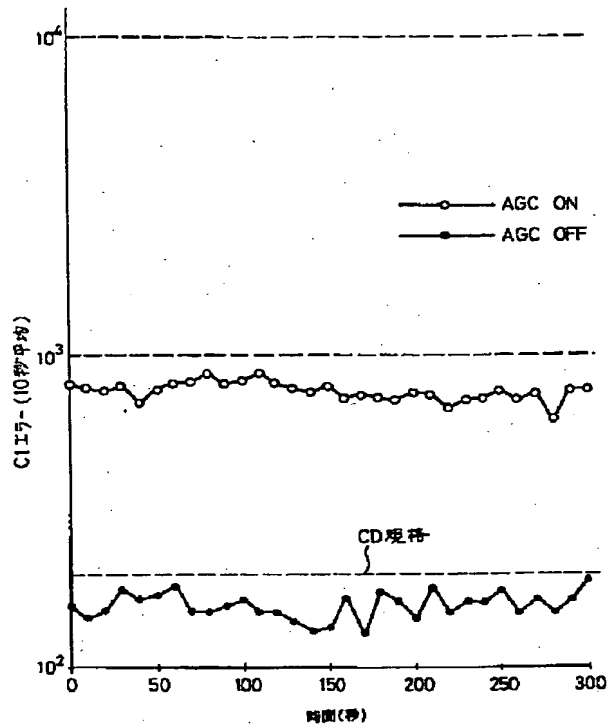


再生信号のエンベロープ

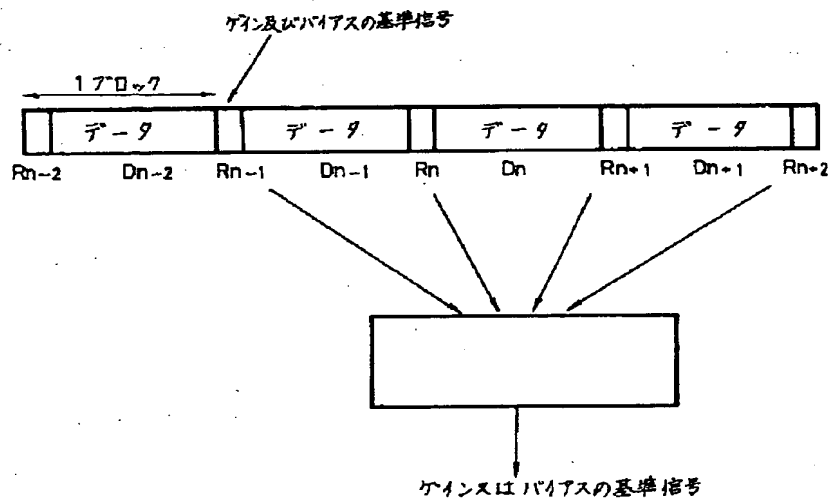
(B)



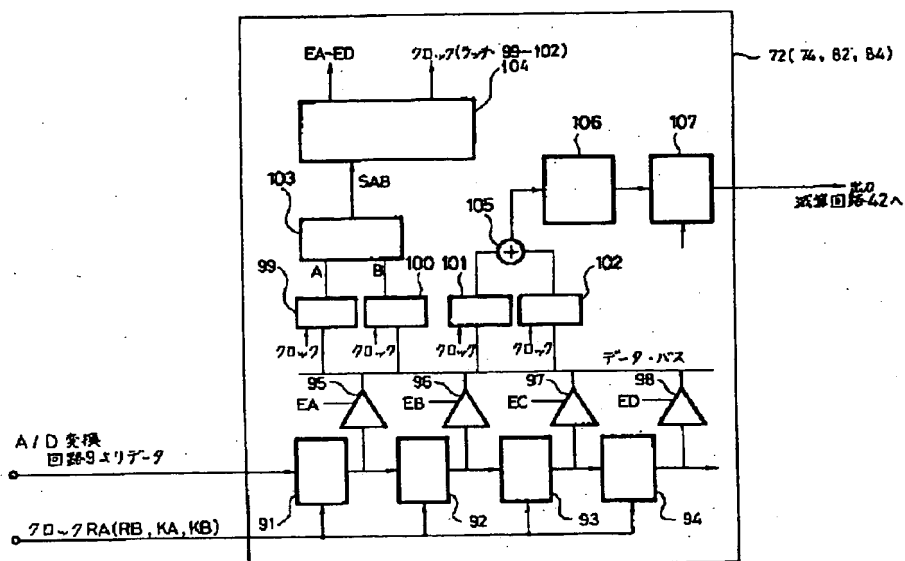
【図25】



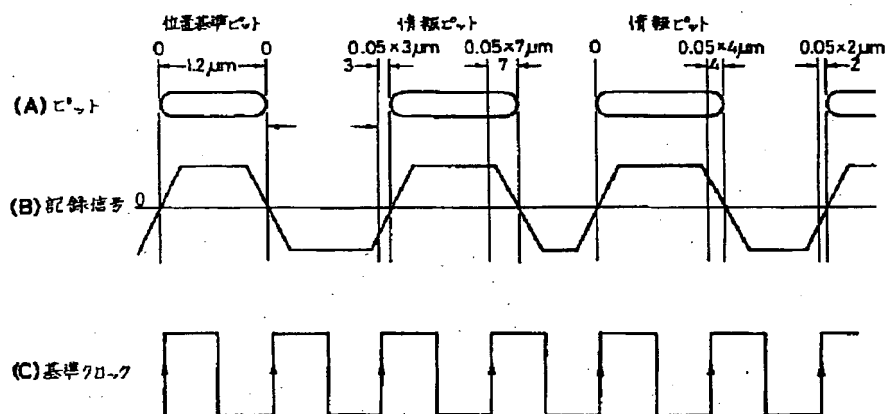
【図27】



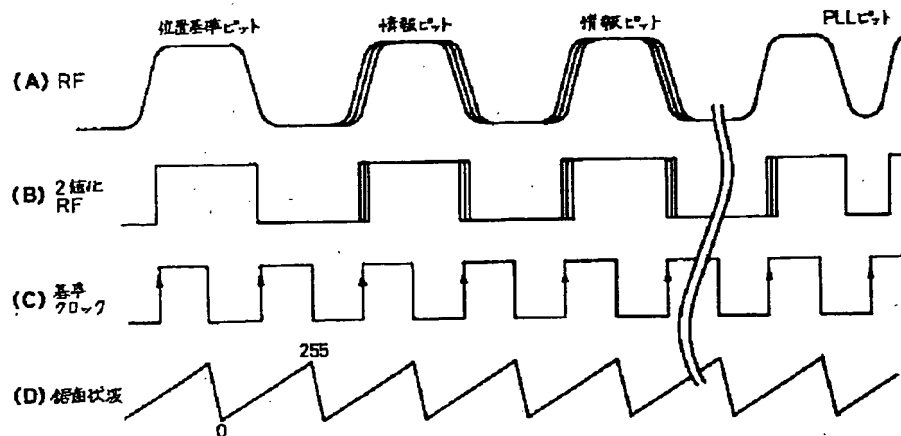
【图 3 3】



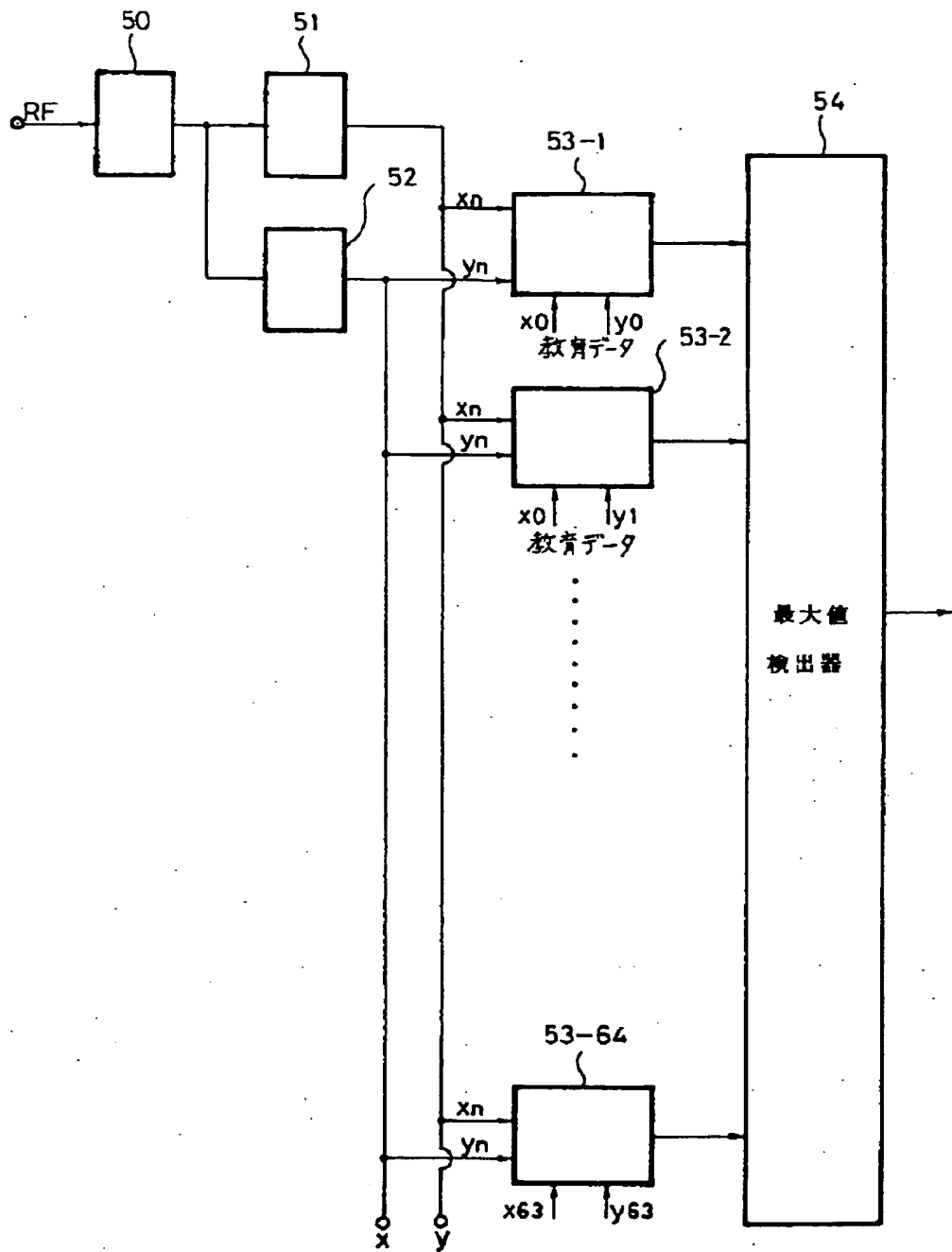
【图 3 3】



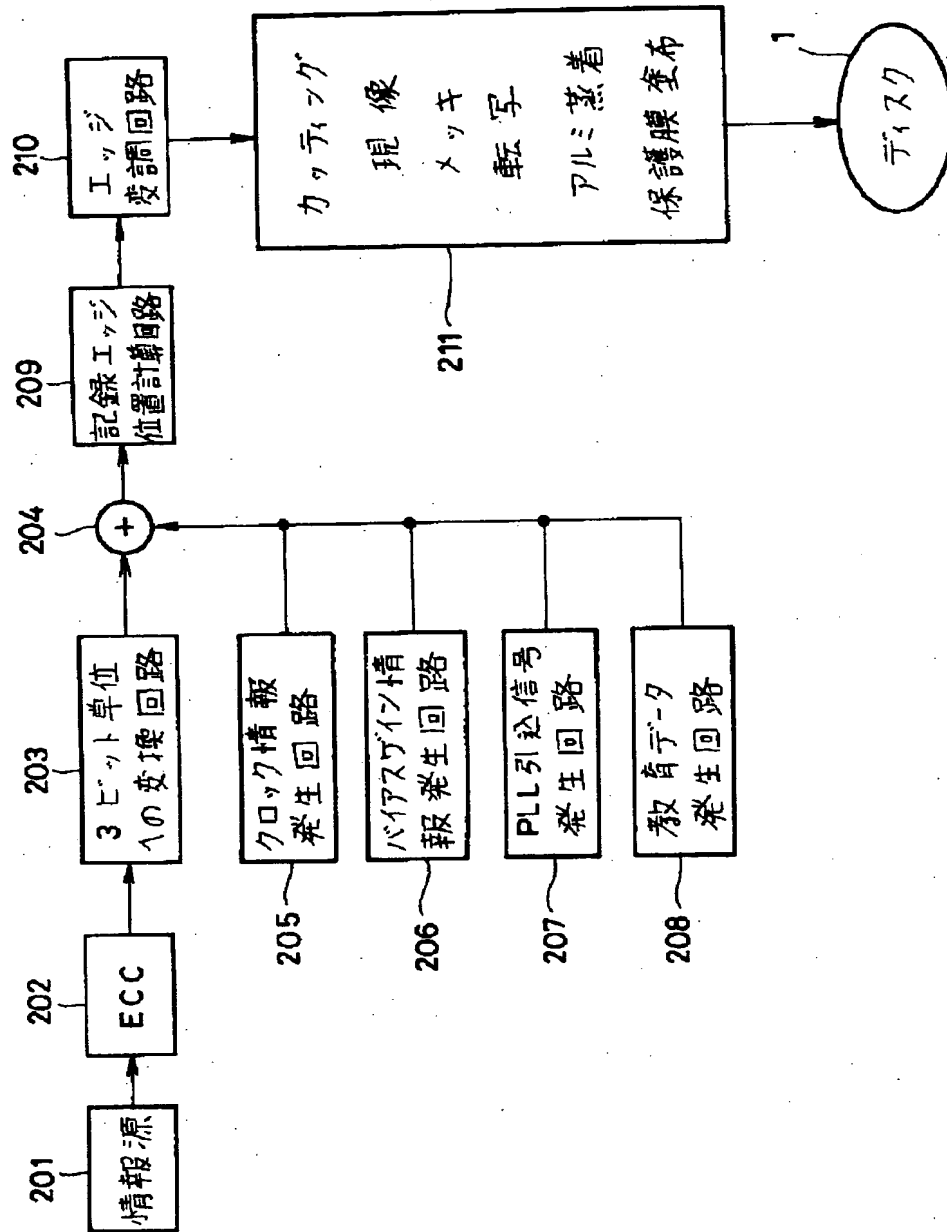
【图 3 4】



【図31】



【図32】



【手続補正書】

【提出日】平成5年3月15日

【手続補正1】

【補正対象書類名】明細書

【補正対象項目名】0008

【補正方法】変更

【補正内容】

$$h(t) = \delta(t) - \kappa \{ \delta(t + \Delta) + \delta(t - \Delta) \}$$

となるから、その周波数応答は次のようになる。

$$H(f) = 1 - 2\kappa \cos(2\pi\Delta f)$$

【0008】この符号間干渉の影響を軽減するために、イコライザを用いることが考えられる。例えば、3タップのイコライザにより再生RF信号を一定距離 Δ だけ離間して、3回サンプリングし、この3つの値に線形演算を施す。この場合のインパルス応答は、

【手続補正2】

【補正対象書類名】明細書